

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Toshikazu ODA, et al.

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HERewith

FOR: STEPWISE ZERO-DATA-DETECTION MUTE CIRCUIT

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of **35 U.S.C. §120**.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of **35 U.S.C. §119(e)**:
Application No. _____ Date Filed _____
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of **35 U.S.C. §119**, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-206869	July 16, 2002

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. _____ filed _____
- ☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and
- ☐ (B) Application Serial No.(s) _____
☐ are submitted herewith
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124



22850

0380159

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年 7月16日

出 願 番 号
Application Number:

特願2002-206869

[ST.10/C]:

[JP2002-206869]

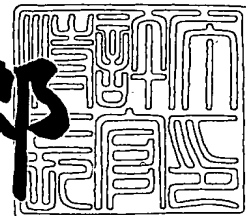
出 願 人
Applicant(s):

株式会社東芝

2003年 2月14日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3007451

【書類名】 特許願

【整理番号】 ASB0230521

【提出日】 平成14年 7月16日

【あて先】 特許庁長官殿

【国際特許分類】 H03M 3/02

【発明の名称】 段階的 0 データ検出ミュート回路

【請求項の数】 4

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
 マイクロエレクトロニクスセンター内

 【氏名】 小田 俊一

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
 マイクロエレクトロニクスセンター内

 【氏名】 永田 満

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
 マイクロエレクトロニクスセンター内

 【氏名】 江口 浩之

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100081732

 【弁理士】

 【氏名又は名称】 大胡 典夫

【選任した代理人】

 【識別番号】 100075683

 【弁理士】

【氏名又は名称】 竹花 喜久男

【選任した代理人】

【識別番号】 100084515

【弁理士】

【氏名又は名称】 宇治 弘

【手数料の表示】

【予納台帳番号】 009427

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0001435

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 段階的 0 データ検出ミュート回路

【特許請求の範囲】

【請求項 1】 1 ビット D/A 変換器のアナログ変換出力を反転アンプ形式のアナログローパスフィルタを通して出力し、前記 D/A 変換器の入力デジタル信号が一定期間オール 0 である事を検出すると、前記アナログローパスフィルタの反転アンプの帰還抵抗を段階的に小さくし最終的にショートして前記アナログローパスフィルタ出力を基準電位に固定する 1 ビット D/A 変換器の出力部の段階的 0 データ検出ミュート回路において、

n 個 (n は、2 以上の正整数) の抵抗値 r の抵抗を直列接続し各接続点にタップを出し、アナログスイッチで段階的に 0 から $n \times r$ に段階的に変化させる第 1 の可変抵抗回路と

抵抗値 $0.53 \cdot r$ の第 1 の抵抗の一端と抵抗値 $0.47 \cdot r$ の第 2 の抵抗の一端を接続し、

前記第 1 の抵抗の他端と抵抗値 $r/7$ の第 3 の抵抗の一端を接続し、

前記第 3 の抵抗の他端と第 1 のアナログスイッチの一端を接続し、

前記第 1 のアナログスイッチの他端と前記第 2 の抵抗の他端を接続し、

抵抗値 $4r/21$ の第 4 の抵抗の一端を前記第 3 の抵抗の他端に接続し、

前記第 4 の抵抗の他端と第 2 のアナログスイッチの一端を接続し、

前記第 2 のアナログスイッチの他端と前記第 2 の抵抗の他端を接続し、

抵抗値 $4r/15$ の第 5 の抵抗の一端を前記第 4 の抵抗の他端に接続し、

前記第 5 の抵抗の他端と第 3 のアナログスイッチの一端を接続し、

前記第 3 のアナログスイッチの他端と前記第 2 の抵抗の他端を接続し、

抵抗値 $2r/5$ の第 6 の抵抗の一端を前記第 5 の抵抗の他端に接続し、

前記第 6 の抵抗の他端と第 4 のアナログスイッチの一端を接続し、

前記第 4 のアナログスイッチの他端と前記第 2 の抵抗の他端を接続し、

抵抗値 $2r/3$ の第 7 の抵抗の一端を前記第 6 の抵抗の他端に接続し、

前記第 7 の抵抗の他端と第 5 のアナログスイッチの一端を接続し、

前記第 5 のアナログスイッチの他端と前記第 2 の抵抗の他端を接続し、

前記第5の抵抗の他端と第6のアナログスイッチの一端を接続し、
 前記第6のアナログスイッチの他端と前記第1の抵抗の一端を接続し、
 前記第7の抵抗の他端と第7のアナログスイッチの一端を接続し、
 前記第7のアナログスイッチの他端と前記第1の抵抗の一端を接続し、
 前記第1から第7のアナログスイッチを制御する事で前記第1の抵抗の他端と
 前記第2の抵抗の他端の間の抵抗値が $r/8$ から r まで $r/8$ 単位で変化するよ
 うにした第2の可変抵抗器と、を具備し、

前記第1の可変抵抗器と前記第2の可変抵抗器とを直列接続し、かつその両端
 をショートする第8のアナログスイッチを有する可変抵抗装置を前記帰還抵抗と
 して使用したこと特徴とする段階的0データ検出ミュート回路。

【請求項2】 前記第2の可変抵抗器において、
 前記第1のアナログスイッチのオン抵抗を、 R_7 と置き、
 前記第2のアナログスイッチのオン抵抗を、 R_6 と置き、
 前記第3のアナログスイッチのオン抵抗を、 R_5 と置き、
 前記第4のアナログスイッチのオン抵抗を、 R_4 と置き、
 前記第5のアナログスイッチのオン抵抗を、 R_3 と置き、
 前記第6のアナログスイッチのオン抵抗を、 R_2 と置き、
 前記第7のアナログスイッチのオン抵抗を、 R_1 と置いたとき、
 R_2 と R_5 が等しく、かつ、 R_1 と R_3 が等しくなるようにし、
 前記第3の抵抗の抵抗値を、 $r/7 - R_7$ とし、
 前記第4の抵抗の抵抗値を、 $4r/21 + R_7 - R_6$ とし、
 前記第5の抵抗の抵抗値を、 $4r/15 + R_6 - R_5$ とし、
 前記第6の抵抗の抵抗値を、 $2r/5 + R_5 - R_4$ とし、
 前記第7の抵抗の抵抗値を、 $2r/3 + R_4 - R_3$ としたことを特徴とする請
 求項1に記載の段階的0データ検出ミュート回路。

【請求項3】 前記第1の可変抵抗器において、前記 n 個の抵抗値 r の抵抗各
 接続点に接続された前記アナログスイッチのオン抵抗値を全て等しくするととも
 に、

前記第1の可変抵抗器と前記第2の可変抵抗器の接続点に接続された抵抗 r に

前記アナログスイッチのオン抵抗値に等しい抵抗を直列に挿入し、前記第 8 のアナログスイッチのオン抵抗値を前記第 1 の可変抵抗器のアナログスイッチのオン抵抗値に等しくするとともに、

前記第 8 のアナログスイッチと並列に第 9 のアナログスイッチを設け、ミュート オン移行時は、前記第 8 のアナログスイッチがオンした 1 ステップ後前記第 9 のアナログスイッチがオンし、ミュート オフ移行時は、前記第 9 のアナログスイッチがオフした 1 ステップ後前記第 8 のアナログスイッチがオフするように構成されたことを特徴とする請求項 2 に記載の段階的 0 データ検出ミュート回路。

【請求項 4】 前記可変抵抗装置において、前記第 8 のアナログスイッチのオン抵抗値を、前記第 1 の可変抵抗器のアナログスイッチのオン抵抗値に等しくするとともに、

前記第 8 のアナログスイッチと並列に第 9 と第 1 0 のアナログスイッチを設け

ミュート オン移行時は、前記第 8 のアナログスイッチがオンした 1 ステップ後前記第 9 のアナログスイッチがオンし、前記第 9 のアナログスイッチがオンした 1 ステップ後前記第 1 0 のアナログスイッチがオンするようにし、

ミュート オフ移行時は、前記前記第 1 0 のアナログスイッチがオフした 1 ステップ後前記第 9 のアナログスイッチがオフし、第 9 のアナログスイッチがオフした 1 ステップ後前記第 8 のアナログスイッチがオフする様にし、

ミュート オン時には、前記第 9 と第 1 0 の両方のアナログスイッチがオン状態であることを特徴とする請求項 3 に記載の段階的 0 データ検出ミュート回路。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、入力信号をアナログ的に遮断するミュート（図面では、MUTE と表示）回路に関するもので、特に $\Sigma \Delta$ 変調器を使った 1 ビット D/A 変換器（以下、単に DAC という）の出力回路の 0 データ検出ミュート回路に関するものである。

【 0 0 0 2 】

【従来の技術】

$\Sigma \Delta$ 変調器を使った1ビットD/A変換器の出力部の回路例とタイミングチャートを、図20に示す。このD/A変換器において、入力デジタル信号が一定期間0データであることを検出し、出力を一定DC値（通常は中点電位）に固定してしまう機能（以下0データ検出ミュート機能）を要求される事が多い。

【 0 0 0 3 】

この理由は、一般にD/A変換器は同一チップ上、又は同一ボード上に大規模な他のデジタル回路が存在する事が多く、このデジタル回路からは当然多大な不要放射が空間的に又は電源を通してノイズとしてD/A変換器に飛び込み、性能を劣化させるからである。

【 0 0 0 4 】

また、 $\Sigma \Delta$ 変調器を使った1ビットD/A変換器は、0データが入力されても変換出力はDCにはならず、再量子化ノイズと呼ばれる非常に高い周波数のノイズを含んだ波形を出しており、不快な音が出たり、S/N測定で悪い値が出たりするので、0データ検出ミュート機能を使う事が多い。

【 0 0 0 5 】

この0データ検出ミュートは、一定期間（通常100mSec.程度）、入力に0データが続くことを検出して、D/A変換器のアナログ出力を基準電位に固定する方式が一般的である。

【 0 0 0 6 】

基準電位は通常大きな容量のコンデンサでデカップリングしてあるのでノイズの混入が少なく、上記ミュートにより不快な音が出たり、S/N測定値が悪くなるのを防ぐことが出来る。

【 0 0 0 7 】

図23の回路例では、DAC出力のフィルタアンプが反転アンプ形式であるので、帰還信号をアナログスイッチ（以下、単にスイッチという）SWでオン/オフすることで、ミュート オン（図面では、ONと表示）/オフ（図面では、OFFと表示）している。

【0008】

ここで0データ検出ミュートを行う上で大きな問題がある。それはミュートオン／オフ時に、ボツ音が発生する問題である。これはミュート オン時とオフ時のDC値が異なることによるボツ音である。その原因は色々あり、以下に述べる。

【0009】

0データ入力時に、 $\Sigma\Delta$ 変調器特有の固定パターンが発生し、有害なビート音を発生することを防ぐ為に、 $\Sigma\Delta$ 変調器入力信号に予めデジタルDCオフセットを加えることが多い（図22参照）。これにより入力デジタルDCオフセットに対応したアナログDCオフセットが出力されミュート オン／オフ時にボツ音が発生する。

【0010】

これを防ぐ為に、図23に示す如く、デジタルDCオフセットをキャンセルするアナログDCオフセットを加算する方法が取られるが、素子精度や素子ばらつきなどの問題で完全にはキャンセルできず多少DCオフセットが残る。

【0011】

次に、D/A変換器の波形鈍りや素子バラツキによるDCオフセットで、DACとしてのDC誤差である。

【0012】

最後に、オペアンプの入力換算DCオフセットで、図24に示す様に、帰還抵抗をショートしてミュートを行う場合、EOSなる入力換算DCオフセットを持つオペアンプは、ミュート オン／オフでEOSのDC変位が発生しボツ音となる。

【0013】

以上の原因は回路構成の工夫、素子精度の向上、素子バラツキの抑制などで小さくできるものの完全にはなくす事が出来ない。つまりミュート オン／オフで多少のDC変位がどうしても発生し、ボツ音が発生してしまう。

【0014】

そこで、このボツ音を少しでも小さくする為に、図23のスイッチSWに変え

て、帰還抵抗そのものを可変抵抗とし、段階的に小さく又は大きくする事でボツ音を小さくすることが考えられた。

【0015】

ミュート オン/オフで、EMなる電位差を生じるとした場合、スイッチSWで一度にオン/オフすれば、図25に示す様に、階段状の波形となり耳につくボツ音となる。

【0016】

図26に示す様に、段階的に電圧を変化させればボツ音は聴感上小さく聞こえる。この場合は15ステップで小さくしている。さらにステップ数を増やして滑らかに変化させれば当然益々ボツ音は小さくなるのは自明の理である（図27参照）。

【0017】

そこで、このボツ音を小さくした0データ検出ミュート機能を使ったDACの回路例を、図13に示す。ここで $\Sigma\Delta$ 変調器出力レベルは一般的に $m=2\sim15$ 程度の値である。

【0018】

図14の回路は、図13の回路をさらに具体的にしたもので、 $m=2$ 、 $n=4$ の場合の回路例である。図14の帰還抵抗111の具体例を、図15に示す。S1からS15の制御信号に、それぞれ対応したアナログスイッチがオン/オフすることで、帰還抵抗は $0\sim15r$ に r 単位で段階的に変化する。そして、図26で示したように、ミュート オン/オフによるDC変位は滑らかに移行し、ボツ音を減少させる。図14での、0データ検出回路103の例を、図16に示す。

【0019】

図14でのデコーダ107の例を、図17に示す。図18は、図17のデコーダ107の真理値表である。図19は、図14でのアップダウンカウンタ（図面では、U/Dカウンタと表示；以下、単にカウンタという）105の回路例である。

【0020】

図21は、0データ検出ミュート回路（図14に示す、例えば0データ検出回

路103とカウンタ105とデコーダ107と可変抵抗111)のタイミングチャートを示す。

【0021】

カウンタ105が0の状態では、可変抵抗は15rで通常状態である。DAC入力が一定期間0データであると、0データ検出回路出力ZDがHとなりカウンタ105のU/Di入力がHとなる。U/Di入力がHとなるとカウンタ105はアップカウント動作をスタートし、カウンタ105の状態が1, 2, 3, ...と上がっていくに従ってデコーダ107からの制御信号S1, S2, S3, ...が順次Hとなる。

【0022】

そして、それに対応したスイッチがオンし、可変抵抗は14r, 13r, 12r, ...と小さくなっていく。最終的に制御信号S15がHとなり、可変抵抗ショート状態(カウンタ105の状態は15)となりミュートオンとなる。

【0023】

逆に、DAC入力が0データでなくなると瞬時にZDはLとなり、カウンタ105のU/Di入力がLとなる。U/Di入力がLとなると、カウンタ105はダウンカウント動作をスタートする。カウンタ105の状態が、14, 13, 12, ...と上がっていくに従って、デコーダ107からの制御信号のS14, S13, S12, ...順次Hとなる。

【0024】

それに対応したスイッチがオンし、可変抵抗はr, 2r, 3r, ...と大きくなっていく。最終的にカウンタ105の状態は0となり、どのアナログスイッチもオフ状態となり、可変抵抗は通常値の15rとなりミュートオフとなる。

【0025】

ここで極力ボツ音を小さくする為には、図26, 図27を比較すると分かる様に、よりカウンタ105のビット数を上げて、ミュートオン/オフ時の波形をより滑らかにする必要がある。

【0026】

ここで、図14の回路で、帰還抵抗の変化ステップ数を倍にすることを考えて

見る。この帰還抵抗の回路例は、図 28 となり、回路規模が倍になっていることが分かる。さらにデコーダも図 29 に示すものとなり、回路規模が倍になっている。

【0027】

カウンタについては、余り大きくならない。しかし、帰還抵抗とデコーダの回路規模が倍になることで全体の回路規模もかなり大きくなってしまう。さらにステップ数を 4 倍にすると帰還抵抗とデコーダの回路規模が 4 倍となり非常に負担が大きくなってしまう。

【0028】

それだけでなく、この回路を IC 化した場合、例えば図 28 のように $n=5$ の場合は、抵抗が 31 個直列に繋がることになり、抵抗と配線を繋ぐコンタクト部分（コンタクト抵抗）は 32 個直列に繋がる。コンタクト抵抗値は、抵抗本体と比較するとかなり小さくしてあるが、更に抵抗と配線を繋ぐコンタクト部分が多くなってくると無視できなくなる。

【0029】

このコンタクト抵抗は、抵抗本体とは異なり、その電圧依存性や製造バラツキは余り考慮していない場合が多い。この結果、コンタクト抵抗の電圧依存性により歪みが悪化する。そして、コンタクト抵抗値の製造バラツキにより、D/A 変換器のゲインが大きくばらついたりする不具合が発生する事がある。

【0030】

これらの問題点を解決する為、特開 2001-77694 号公報では、以下の方法を使っている。

【0031】

図 30 に、帰還抵抗の構成を示す。DAC の出力部の全体回路は、図 14 と同様である。図 30 の回路が、図 15 と異なる点は端子 IN の所に r が追加されている。

【0032】

また制御信号 $SL1$ 、 $SL2$ 、 $SL3$ で制御されるスイッチが、オン/オフされると $3r$ 、 r 、 $r/3$ が並列に接続されることになる。更に、制御信号 $S14$

により制御されるスイッチと制御信号 S15 に制御されたスイッチの間に接続された r は無くなる。

【0033】

これにより分解能を 2 ビット拡張している。つまり r 単位で増加減少するのではなく $r/4$ 単位で増加または減少することで、より電圧変化をよりなめらかにボツ音を小さくすることが出来る。

【0034】

制御信号 SL1～SL3 は、カウンタ出力の LSB（最下位ビット）とその上のビットで構成された信号である。IN 端子に供給される制御信号と制御信号 S1～S14 により制御されるスイッチの共通接続点との間の抵抗値は、カウンタの LSB とその上のビットが 00 の時に r 、10 の時に $3r/4$ 、01 の時に $r/2$ 、11 の時に $r/4$ となる様に、制御信号 SL1～SL3 の信号がスイッチを制御する。

【0035】

これにより、カウンタの状態が 0, 1, 2, ..., 58, 59, 60, 61, 62, 63 と変化すると、帰還抵抗値は $15r$, $14.75r$, $14.5r$, ..., $0.5r$, $0.25r$, 0, 0, 0, 0 と変化する。このように、ステップ数は、図 33 に示す如く、図 15 に比較してほぼ 4 倍になっていることが分かる。帰還抵抗の回路規模としては r が 3 個増え、スイッチが 3 個増え、端子が 3 個増えたのみである。

【0036】

図 31 は、この場合のデコーダの回路例である。図 32 は、この場合のカウンタ回路例である。図 33 は、デコーダとカウンタのタイミングチャートを示す。

【0037】

図 34 は、図 30 の回路であり、スイッチが N チャンネル MOS トランジスタのみを使った場合をしめしている。周知のように MOS トランジスタのオン抵抗は非線形で通常ではこのような使い方をすると出力信号に歪みを発生する。

【0038】

しかし、本回路では、DAC 入力が 0 データである時のみスイッチがオンする

こと、そしてオン時間が非常に短時間で過渡的であることを考慮し、このような単純化したスイッチを使用することで、回路規模を削減する事ができる。

【0039】

帰還抵抗を0にする制御信号S15が制御するスイッチのみは、図15に示されるPチャンネルMOSトランジスタとNチャンネルMOSトランジスタを組み合わせたものを使っている。これは、このスイッチのみは過渡的にオンするのではなく、ミュート中は継続的にオンする為、比較的大きなノイズが発生してもDC変位が発生しないようにしたものである。NチャンネルMOSトランジスタの代わりにPチャンネルトランジスタを使う事ももちろん可能である。この場合は、制御信号を反転する必要がある。

【0040】

このように、特開2001-77694号公報で示された方法を使うことで、帰還抵抗の変化ステップ数を約4倍にし、ミュート オフからミュート オンへのDC電圧変化をよりより滑らかにし、不快なボツ音を避ける事が出来る。

【0041】

【発明が解決しようとする課題】

しかしながら、HiFi用途などで、より一層滑らかなDC変化を要求される場合、帰還抵抗の変化ステップ数をさらに2倍したいという要求が出てくる。この場合、特開2001-77694号公報の手法では、図35の回路となる。

【0042】

図30の回路では、 r に $r/3$, r , $3r$ を並列にすることで、 $r/4$, $r/2$, $3r/4$ を生成していた。しかしながら、図35の回路では r に $r/7$, $r/3$, $3r/5$, r , $5r/3$, $3r$, $7r$ を並列にする事で、 $r/8$, $r/4$, $3r/8$, $r/2$, $5r/8$, $3r/4$, $7r/8$ を生成する。

【0043】

この為、 $r/7 \sim 7r$ の49倍幅の高精度抵抗を作る必要があり、さらに、この部分($r/7$ と $r/3$ と $3r/5$ と r と $5r/3$ と $3r$ と $7r$)の総抵抗値も $13.7 \cdot r$ にもなり、これをIC上で作るとかなりの面積増大となるのでチップコストの増大を招く。また、帰還抵抗部面積が増大する事で、配線がアンテナ

になることによる飛び込みノイズ増大、サブストレート部との面積増大により、この部分からの浸入ノイズ増大、など性能劣化の原因となってしまう。

【0044】

そこで本発明は、帰還抵抗をほんの少しだけ増加させるだけで、帰還抵抗のステップ数を増加させ、ミュート時のボス音を小さくすることが可能な段階的0データ検出ミュート回路を提供することを目的とする。

【0045】

【課題を解決するための手段】

1ビットD/A変換器のアナログ変換出力を反転アンプ形式のアナログローパスフィルタを通して出力し、前記D/A変換器の入力デジタル信号が一定期間オール0である事を検出すると、前記アナログローパスフィルタの反転アンプの帰還抵抗を段階的に小さくし最終的にショートして前記アナログローパスフィルタ出力を基準電位に固定する1ビットD/A変換器の出力部の段階的0データ検出ミュート回路において、

n 個 (n は、2以上の正整数)の抵抗値 r の抵抗を直列接続し各接続点にタップを出し、アナログスイッチで段階的に0から $n \times r$ に段階的に変化させる第1の可変抵抗回路と

抵抗値 $0.53 \cdot r$ の第1の抵抗の一端と抵抗値 $0.47 \cdot r$ の第2の抵抗の一端を接続し、

前記第1の抵抗の他端と抵抗値 $r/7$ の第3の抵抗の一端を接続し、

前記第3の抵抗の他端と第1のアナログスイッチの一端を接続し、

前記第1のアナログスイッチの他端と前記第2の抵抗の他端を接続し、

抵抗値 $4r/21$ の第4の抵抗の一端を前記第3の抵抗の他端に接続し、

前記第4の抵抗の他端と第2のアナログスイッチの一端を接続し、

前記第2のアナログスイッチの他端と前記第2の抵抗の他端を接続し、

抵抗値 $4r/15$ の第5の抵抗の一端を前記第4の抵抗の他端に接続し、

前記第5の抵抗の他端と第3のアナログスイッチの一端を接続し、

前記第3のアナログスイッチの他端と前記第2の抵抗の他端を接続し、

抵抗値 $2r/5$ の第6の抵抗の一端を前記第5の抵抗の他端に接続し、

前記第 6 の抵抗の他端と第 4 のアナログスイッチの一端を接続し、
 前記第 4 のアナログスイッチの他端と前記第 2 の抵抗の他端を接続し、
 抵抗値 $2r/3$ の第 7 の抵抗の一端を前記第 6 の抵抗の他端に接続し、
 前記第 7 の抵抗の他端と第 5 のアナログスイッチの一端を接続し、
 前記第 5 のアナログスイッチの他端と前記第 2 の抵抗の他端を接続し、
 前記第 5 の抵抗の他端と第 6 のアナログスイッチの一端を接続し、
 前記第 6 のアナログスイッチの他端と前記第 1 の抵抗の一端を接続し、
 前記第 7 の抵抗の他端と第 7 のアナログスイッチの一端を接続し、
 前記第 7 のアナログスイッチの他端と前記第 1 の抵抗の一端を接続し、
 前記第 1 から第 7 のアナログスイッチを制御する事で前記第 1 の抵抗の他端と
 前記第 2 の抵抗の他端の間の抵抗値が $r/8$ から r まで $r/8$ 単位で変化するよ
 うにした第 2 の可変抵抗器と、を具備し、
 前記第 1 の可変抵抗器と前記第 2 の可変抵抗器とを直列接続し、かつその両端
 をショートする第 8 のアナログスイッチを有する可変抵抗装置を前記帰還抵抗と
 して使用したこと特徴とする。

【 0 0 4 6 】

【発明の実施の形態】

(第 1 の実施例)

図 1 に、本発明の段階的 0 データ検出ミュート回路で採用する帰還抵抗の第 1
 の実施例の構成を示す。従来の技術である図 3 5 と異なる点は、制御信号 $SL1$
 $\sim SL7$ で制御される回路部分である。その部分の動作を説明する。

【 0 0 4 7 】

まず制御信号 $SL7$ により制御されるアナログスイッチ（以下、単にスイッチ
 という）のみがオンすると、 $r(0.53 \cdot r \text{ と } 0.47 \cdot r \text{ の直列})$ と並列に
 $r/7$ が接続され、 $r/8$ の抵抗が作られる。これは、図 3 5 の回路と同じで
 ある。

【 0 0 4 8 】

次に、制御信号 $SL6$ で制御されるスイッチのみがオンすると、 $r/7$ と $4r/21$
 の直列抵抗、つまり、

$$r/7 + 4r/21 = r/3$$

が、 r と並列になり、 $r/4 = 2r/8$ の抵抗が作られる。

【0049】

次に、制御信号SL5で制御されるスイッチのみがオンすると、 $r/7$ と $4r/21$ と $4r/15$ の直列抵抗、つまり、

$$r/7 + 4r/21 + 4r/15 = 3r/5$$

が、 r と並列になり、 $3r/8$ の抵抗が作られる。

【0050】

次に、制御信号SL4で制御されるスイッチのみがオンすると、 $r/7$ と $4r/21$ と $4r/15$ と $2r/5$ の直列抵抗、つまり、

$$r/7 + 4r/21 + 4r/15 + 2r/5 = r$$

が、 r と並列になり、 $r/2 = 4r/8$ の抵抗が作られる。

【0051】

次に、制御信号SL3で制御されるスイッチのみがオンすると、 $r/7$ と $4r/21$ と $4r/15$ と $2r/5$ と $2r/3$ の直列抵抗、つまり、

$$r/7 + 4r/21 + 4r/15 + 2r/5 + 2r/3 = 5r/3$$

が、 r と並列になり、 $5r/8$ の抵抗が作られる。

【0052】

次に、制御信号SL2で制御されるスイッチのみがオンすると、 $r/7$ と $4r/21$ と $4r/15$ の直列抵抗、つまり

$$r/7 + 4r/21 + 4r/15 = 3r/5$$

が、 $0.53 \cdot r$ と並列になり、 $0.28 \cdot r$ の抵抗が作られる。この $0.28 \cdot r$ と $0.47 \cdot r$ が直列になるので、

$0.28 \cdot r + 0.47 \cdot r = 0.75 \cdot r = 3r/4 = 6r/8$ の抵抗が作られる。

【0053】

次に、制御信号SL1で制御されるスイッチのみがオンすると、 $r/7$ と $4r/21$ と $4r/15$ と $2r/5$ と $2r/3$ の直列抵抗、つまり、

$$r/7 + 4r/21 + 4r/15 + 2r/5 + 2r/3 = 5r/3$$

が、 $0.53 \cdot r$ と並列になり、 $0.4 \cdot r$ の抵抗が作られる。この $0.4 \cdot r$ と $0.47 \cdot r$ が直列になるので、

$0.4 \cdot r + 0.47 \cdot r = 0.87 \cdot r \doteq 7r/8$ の抵抗が作られる。

【0054】

このように、図1の回路は、IN端子と制御信号S1～S14で制御されるスイッチの共通接続点との間の抵抗値は、制御信号SL1～SL7によりスイッチが順番にオンしていくに従って、 $7r/8 \sim r/8$ まで、 $r/8$ 単位で変化する。

【0055】

よって、図1の回路は、図35の回路と同様に、図15に比較して抵抗変化率が $1/8$ になり非常に滑らかに変化していることが分る。

【0056】

更に、図35の回路は、図15の回路に比べ $13.7 \cdot r$ の抵抗を余分につける必要があるが、本発明による図1では、 $1.67 \cdot r$ を追加するのみで良い。この場合のデコーダの回路例を、図2に示す。また、この場合のアップダウンカウンタ（以下、単にカウンタという）の回路例を、図3に示す。

【0057】

カウンタの値により、制御信号S1～S15により制御されるスイッチと、制御信号SL1～SL7により制御されるスイッチとが、順次オンすることで帰還抵抗が滑らかに変化する様子を、図4に示す。

【0058】

このように帰還抵抗をほんの少しだけ増加するだけで、帰還抵抗のステップ数を増加出来る。更に、ミュート時のボス音を小さく出来る。

【0059】

（第2の実施例）

図5に、本発明の段階的0データ検出ミュート回路で採用する帰還抵抗の第2の実施例の構成を示す。この回路は、図1の回路でアナログスイッチ（以下、単にスイッチという）のオン抵抗を考慮したものである。

【0060】

スイッチのオン抵抗が、抵抗 r に比較して十分小さければ考慮する必要はないが、十分小さくする為にはスイッチを構成する素子の寸法を大きくする必要がある。例えば、スイッチが、図15の構成であるとする、オン抵抗を十分小さくする為には、MOSトランジスタのゲート W/L を十分大きくする必要がある。この為アナログSWの占有面積がかなり大きくなってしまう。

【0061】

逆に、図5のように、最初からスイッチのオン抵抗を考慮しておけば、適当な大きさに抑えることが可能となる。ここでは、簡単の為制御信号 $S1 \sim S14$ により制御されるスイッチのオン抵抗は、 R に等しいとした。また、制御信号 $S15$ により制御されるスイッチのオン抵抗は、小さい事が要求されるので、別の記号で $R0$ とした。

【0062】

制御信号 $SL3 \sim SL5$ により制御されるするスイッチは、比較的小さなオン抵抗にする必要があり、夫々 $R3 \sim R5$ とした。制御信号 $SL1$ により制御されるスイッチのオン抵抗は、 $R3$ に等しくする。また、制御信号 $SL2$ により制御されるスイッチのオン抵抗は、 $R5$ に等しくする。これらスイッチのオン抵抗による誤差を補正する為、図1から図5へ以下の様に抵抗値を修正する。

【0063】

$r/7$ を、 $r/7 - R7$ とする。 $4r/21$ を、 $4r/21 + R7 - R6$ とする。 $4r/15$ を、 $4r/15 + R6 - R5$ とする。 $2r/5$ を、 $2r/5 + R5 - R4$ とする。 $2r/3$ を、 $2r/3 + R4 - R3$ とする。

【0064】

図6に、図5の回路での抵抗変化を示す。ここで、制御信号 $S1 \sim S15$ により制御されるスイッチが全部オフである状態から、制御信号 $S1$ により制御されるスイッチがオンする状態になるとき、 R だけ誤差が出る事が分る。更に、制御信号 $S14$ と $SL7$ により制御されるスイッチが、オンした状態から、制御信号 $S15$ により制御されるスイッチが、オンした場合に $R \gg R0$ であるとやはり R だけ誤差を生じる。

【0065】

そこで、図7の様に、制御信号S1により制御されるスイッチと制御信号S1～S14により制御されるスイッチの共通接続点の間にある抵抗rに、Rを直列に接続する。更に、制御信号S15により制御されるスイッチのオン抵抗をRにして、もう一つの制御信号SMTにより制御されるスイッチのオン抵抗を、 R_0 ($R \gg R_0$) とする。そして、この R_0 と制御信号S15により制御されるスイッチのオン抵抗を並列に接続する。これにより、抵抗値変化は、図8の様になり抵抗値変化に段差はなくなる。

【0066】

本実施例は、第1の実施例の効果以上に、可変抵抗値の段差がなくなる。そして、ミュート時のボス音を、より小さく出来る。

【0067】

(第3の実施例)

図7の回路において、 $R - R_0 > r/8$ であると、制御信号SMTにより制御されるスイッチのオン抵抗が、 $r/8$ より大きな抵抗変化が出てしまう。そこで制御信号SMTの代わりに、制御信号SM1とSM2の2段階で、オン抵抗変化を $r/8$ より小さくしようとしたのが、図9である。

【0068】

この場合のミュート オン状態直前のタイミング図を、図10に示す。ミュート オン状態では、制御信号SM1とSM2により制御される両スイッチが、オン状態となる。この場合の抵抗変化を、図11に示す。図9では、制御信号SM1で、NチャンネルMOSトランジスタをオンし、制御信号SM2で、PチャンネルMOSトランジスタをオンする。ミュート オン状態では、図15に示すスイッチがオンしたのと等価となっている。この時、制御信号SM1で、PチャンネルMOSトランジスタをオンし、制御信号SM2で、NチャンネルMOSトランジスタをオンするようにしても構わない。

【0069】

本実施例によれば、制御信号S15によって、オンされるスイッチに対応した抵抗Rを余り小さくする必要がない。そして、第2の実施例以上に、帰還抵抗値の段差がなくなる。そして、ミュート時のボス音を更に小さく出来る。

【0070】

(第4の実施例)

図12は、図7において、スイッチを、具体的にMOSトランジスタで置き換えた例である。制御信号S1～S15により制御されるスイッチは、NチャンネルMOSトランジスタを使っている。そしてこのトランジスタのディメンションを b/a とし、オン抵抗を R としている。制御信号SMTにより制御されるスイッチは、右の方に示してあるNチャンネル/PチャンネルMOSトランジスタの並列回路であり、オン抵抗を R_0 としている。

【0071】

また、制御信号SL1により制御されるスイッチのオン抵抗は、 R に設定した。制御信号SL2により制御されるスイッチのオン抵抗は、 $R/2$ に設定した。制御信号SL3により制御されるスイッチもオン抵抗は、 R に設定した。制御信号SL4により制御されるスイッチのオン抵抗は、 R に設定した。制御信号SL5により制御されるスイッチのオン抵抗は、 $R/2$ に設定した。制御信号SL6により制御されるスイッチのオン抵抗は、 $R/3$ に設定した。制御信号SL7により制御されるスイッチのオン抵抗は、 $R/6$ に設定した。

【0072】

本実施例の効果は、第3の実施例の効果と同じである。更に、ほとんどのスイッチを、MOSトランジスタで置き換えているので、帰還抵抗のサイズを小さく出来る。

【0073】

【発明の効果】

以上、本発明の段階的0データ検出ミュート回路によれば、帰還抵抗をほんの少しだけ増加させるだけで、帰還抵抗のステップ数を増加させ、ミュート時のボス音を小さくすることが出来る。

【図面の簡単な説明】

【図1】

本発明の段階的0データ検出ミュート回路で採用される帰還抵抗の第1の実施例の構成を示す図である。

【図 2】

図 1、後述する図 3 5、図 5、図 7、図 9、図 1 2 の帰還抵抗を制御する本発明のデコーダ例を示す図である。

【図 3】

図 2 のデコーダにカウント信号を入力する本発明のアップダウンカウンタの回路例を示す図である。

【図 4】

図 1 の本発明の帰還抵抗がカウント信号に従ってどのように動作するかを示したテーブル図である。

【図 5】

本発明の段階的 0 データ検出ミュート回路で採用される帰還抵抗の第 2 の実施例の構成を示す図である。

【図 6】

図 5 の本発明の帰還抵抗がカウンタ信号に従ってどのように動作するかを示したテーブル図である。

【図 7】

本発明の段階的 0 データ検出ミュート回路で採用される帰還抵抗の第 2 の実施例の変形を示す図である。

【図 8】

図 7 の本発明の帰還抵抗がカウント信号に従ってどのように動作するかを示すテーブル図である。

【図 9】

本発明の段階的 0 データ検出ミュート回路で採用される帰還抵抗の第 3 の実施例の構成を示す図である。

【図 1 0】

図 9 の本発明の帰還抵抗中のアナログスイッチのオン／オフのタイミング例を示す図である。

【図 1 1】

図 9 の本発明の帰還抵抗がカウント信号に従ってどのように動作するかを示し

たテーブル図である。

【図 1 2】

図 7 の本発明の帰還抵抗中のアナログスイッチについて、具体的に MOS トランジスタを使用示した例を示す図である。

【図 1 3】

従来の段階的ミュート機能付き $\Sigma \Delta$ 型 D/A 変調器の出力部の構成を示す図である。

【図 1 4】

図 1 3 の従来の D/A 変換器の出力部の具体的構成例を示す図である。

【図 1 5】

図 1 4 の従来の回路での帰還抵抗の具体的回路例を示す図である。

【図 1 6】

図 1 4 の従来の回路での 0 データ検出回路の具体的構成例を示す図である。

【図 1 7】

図 1 4 の従来の回路でのデコーダの具体回路例を示す図である。

【図 1 8】

図 1 7 の従来のデコーダ回路の真理値表を示す図である。

【図 1 9】

図 1 4 の従来の回路でのアップダウンカウンタの具体回路例を示す図である。

【図 2 0】

$\Sigma \Delta$ 変調器を使った 1 ビット D/A 変換器の出力部の具体回路例と出力波形のタイミングチャートを示す図である。

【図 2 1】

図 1 4 の従来の回路の 0 データ検出ミュート回路のタイミングチャートを示す図である。

【図 2 2】

従来の $\Sigma \Delta$ 変調器特有の固定パターンによるビートと DC オフセットとの関係を示す図である。

【図 2 3】

従来の段階的でないミュート機能付き 1 ビット D/A 変換器の出力部の構成を示す図である。

【図 2 4】

従来のオペアンプの入力換算 DC オフセットによるミュート オン/オフでのポツ音発生メカニズムを示す図である。

【図 2 5】

段階的でないミュートによる従来の DC 変位波形を示す図である。

【図 2 6】

段階的ミュートによる従来の DC 変位波形を示す図である。

【図 2 7】

従来の段階的ミュートによる DC 変位波形で、図 2 6 のものよりステップ数を二倍にしたものを示す図である。

【図 2 8】

従来例でステップ数を倍にした場合、図 1 5 の帰還抵抗の回路規模が倍になる事示す回路例を示す図である。

【図 2 9】

従来例でステップ数を倍にした場合、図 1 7 のデコーダの回路規模が倍になることを示す回路例の図である。

【図 3 0】

特開 2 0 0 1 - 7 7 6 9 4 号公報による段階的 0 データ検出ミュート回路の帰還抵抗回路例を示す図である。

【図 3 1】

図 3 0 の従来の帰還抵抗を制御するデコーダの回路例を示す図である。

【図 3 2】

図 3 1 の従来のデコーダを制御するアップダウンカウンタの回路例を示す図である。

【図 3 3】

図 3 0 の従来の帰還抵抗を制御するデコーダの真理値表を示す図である。

【図 3 4】

特開 2001-77694 号公報による段階的 0 データ検出ミュート回路のも
う一つの帰還抵抗回路例を示す図である。

【図 35】

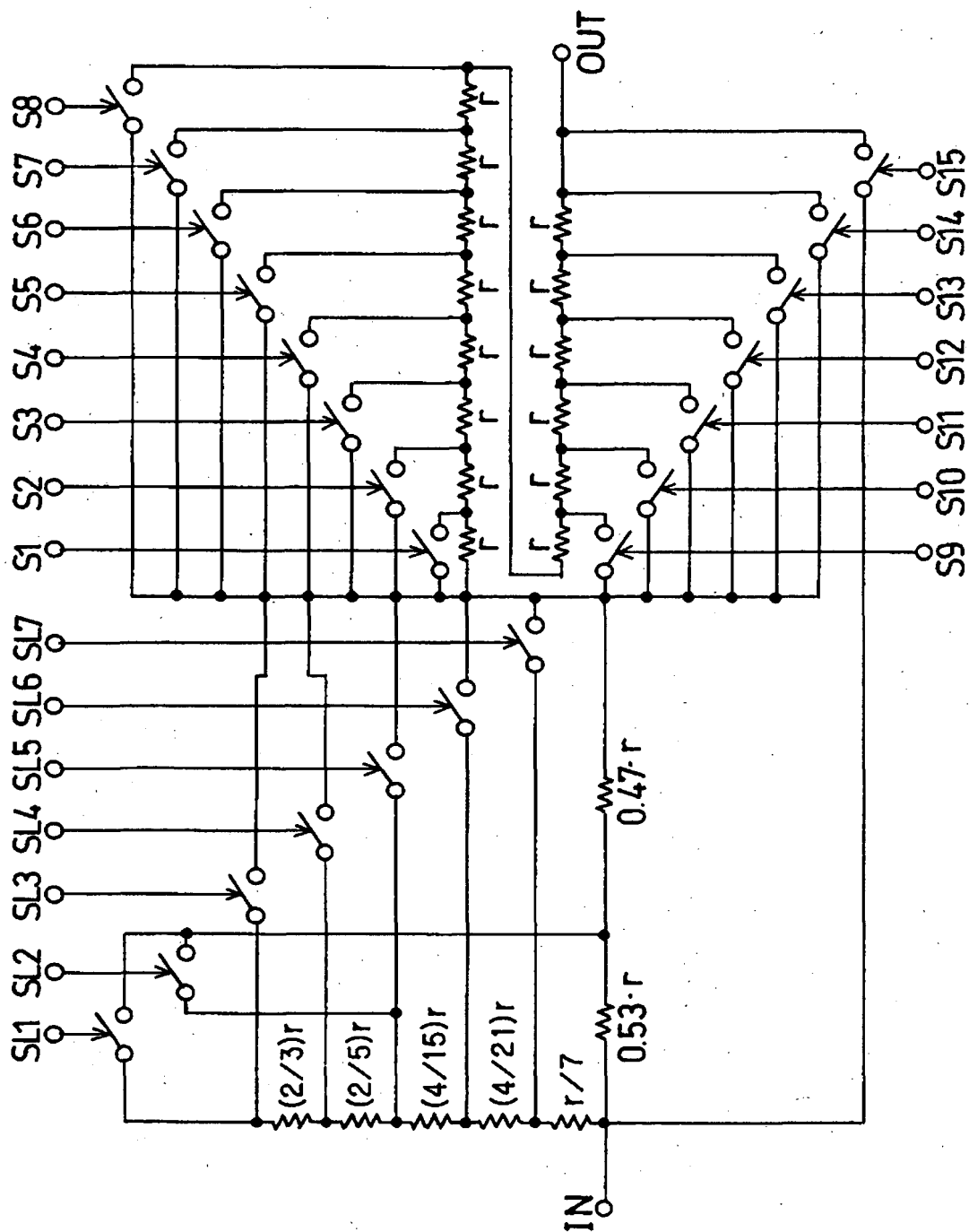
特開 2001-77694 号公報の手法を使ってさらにステップ数を 2 倍にし
た時の段階的 0 データ検出ミュート回路の帰還抵抗回路例を示す図である。

【符号の説明】

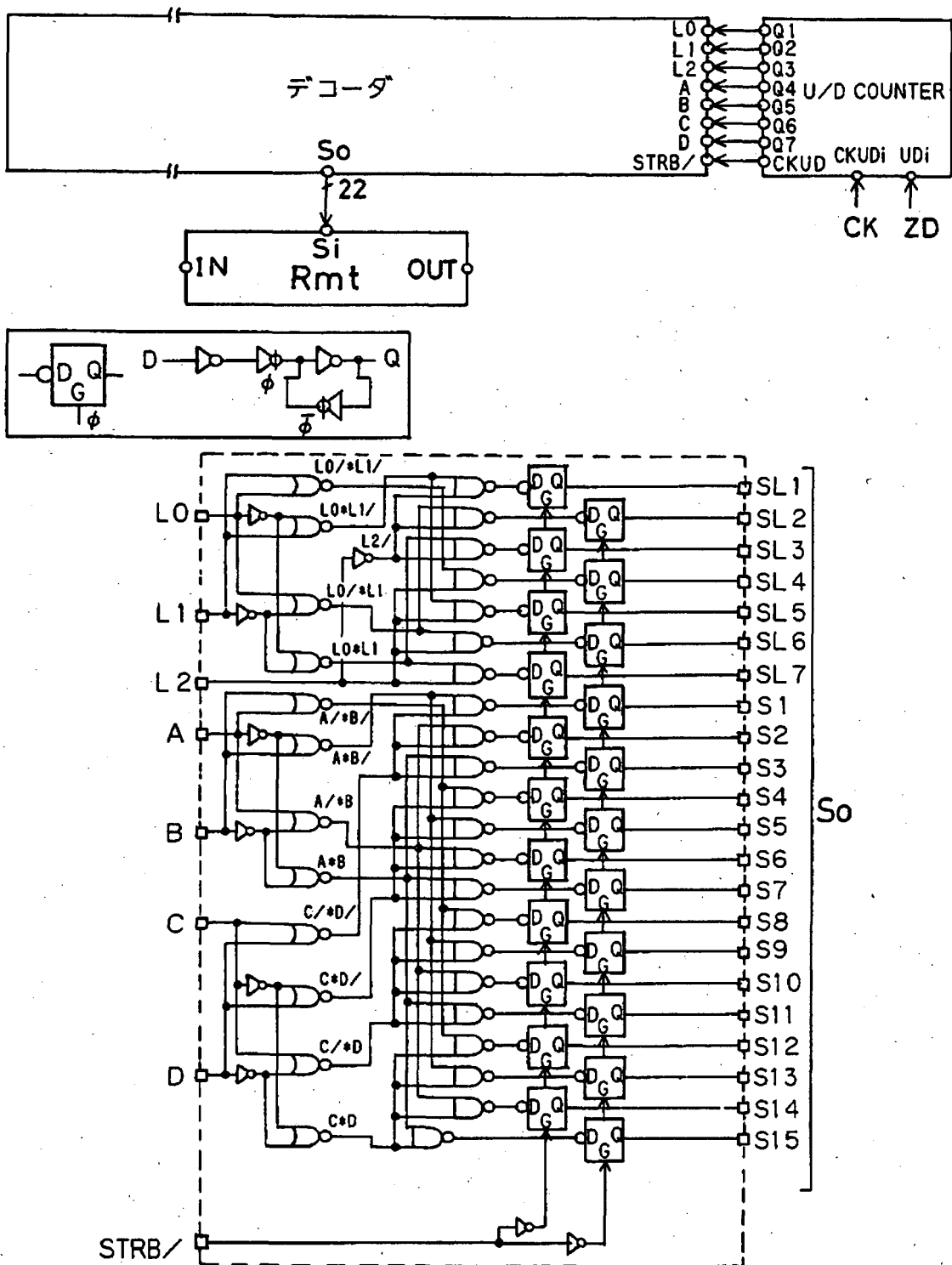
$0.47 \cdot r$, $0.53r$, $r/7$, $4r/21$, $4r/15$, $2r/5$, $2r/3$ ・・・抵抗、 $S1 \sim S15$ ・・・制御信号、 $SL1 \sim SL7$ ・・・制御信号。

【書類名】 図面

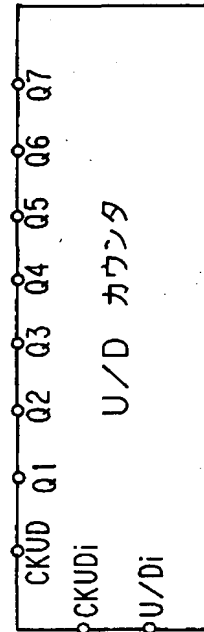
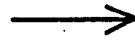
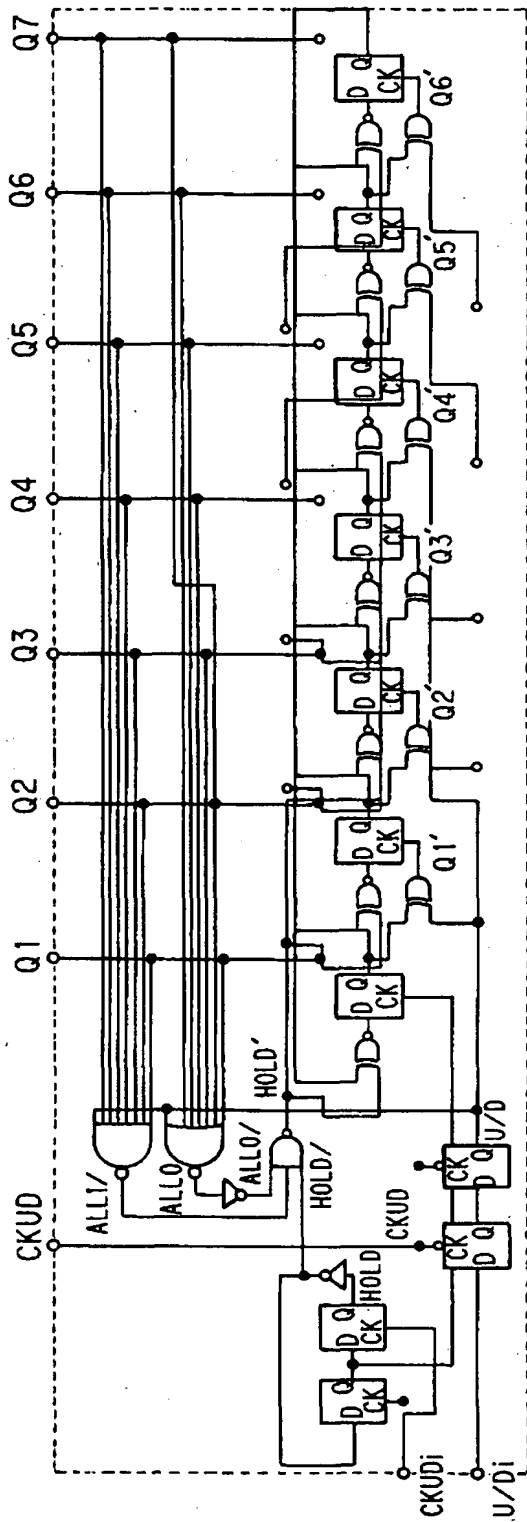
【図1】



【図 2】



【図 3】

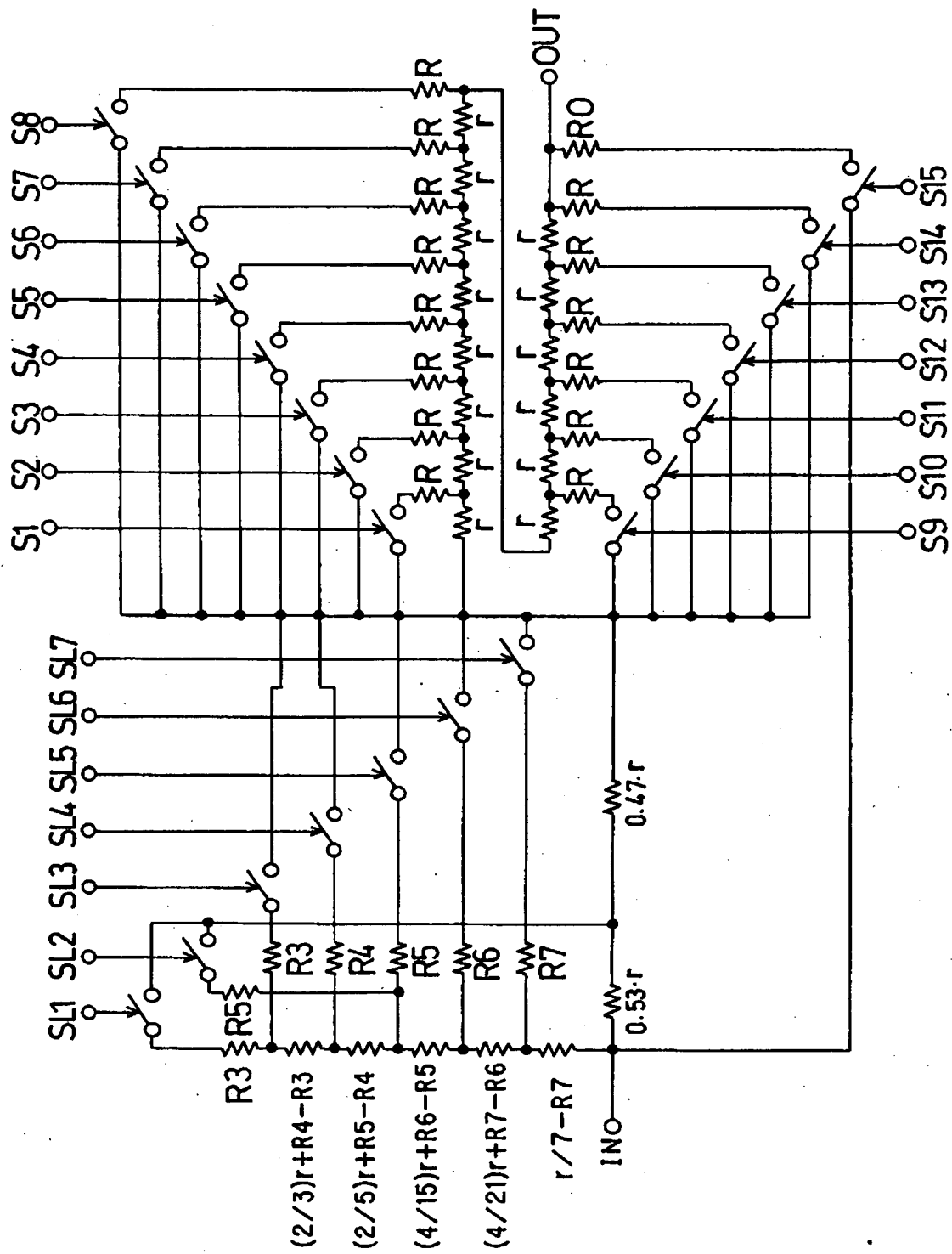


【図 4】

Counter	D	C	B	A	L2	L1	L0	ON-SW	抵抗値
0	0	0	0	0	0	0	0		15r
1	0	0	0	0	0	0	1	SL1	(14+7/8)r
2	0	0	0	0	0	1	0	SL2	(14+6/8)r
3	0	0	0	0	0	1	1	SL3	(14+5/8)r
4	0	0	0	0	1	0	0	SL4	(14+4/8)r
5	0	0	0	0	1	0	1	SL5	(14+3/8)r
6	0	0	0	0	1	1	0	SL6	(14+2/8)r
7	0	0	0	0	1	1	1	SL7	(14+1/8)r
8	0	0	0	1	0	0	0	S1	14r
9	0	0	0	1	0	0	1	S1 SL1	(13+7/8)r
10	0	0	0	1	0	1	0	S1 SL2	(13+6/8)r
11	0	0	0	1	0	1	1	S1 SL3	(13+5/8)r
12	0	0	0	1	1	0	0	S1 SL4	(13+4/8)r
13	0	0	0	1	1	0	1	S1 SL5	(13+3/8)r
14	0	0	0	1	1	1	0	S1 SL6	(13+2/8)r
15	0	0	0	1	1	1	1	S1 SL7	(13+1/8)r
16	0	0	1	0	0	0	0	S2	13r
17	0	0	1	0	0	0	1	S2 SL1	(12+7/8)r
18	0	0	1	0	0	1	0	S2 SL2	(12+6/8)r
19	0	0	1	0	0	1	1	S2 SL3	(12+5/8)r
20	0	0	1	0	1	0	0	S2 SL4	(12+4/8)r
21	0	0	1	0	1	0	1	S2 SL5	(12+3/8)r
22	0	0	1	0	1	1	0	S2 SL6	(12+2/8)r
23	0	0	1	0	1	1	1	S2 SL7	(12+1/8)r
24	0	0	1	1	0	0	0	S3	12r
25	0	0	1	1	0	0	1	S3 SL1	(11+7/8)r
26	0	0	1	1	0	1	0	S3 SL2	(11+6/8)r
27	0	0	1	1	0	1	1	S3 SL3	(11+5/8)r
28	0	0	1	1	1	0	0	S3 SL4	(11+4/8)r
29	0	0	1	1	1	0	1	S3 SL5	(11+3/8)r
30	0	0	1	1	1	1	0	S3 SL6	(11+2/8)r
31	0	0	1	1	1	1	1	S3 SL7	(11+1/8)r
32	0	1	0	0	0	0	0	S4	11r
33	0	1	0	0	0	0	1	S4 SL1	(10+7/8)r
34	0	1	0	0	0	1	0	S4 SL2	(10+6/8)r
35	0	1	0	0	0	1	1	S4 SL3	(10+5/8)r
36	0	1	0	0	1	0	0	S4 SL4	(10+4/8)r
37	0	1	0	0	1	0	1	S4 SL5	(10+3/8)r
38	0	1	0	0	1	1	0	S4 SL6	(10+2/8)r
39	0	1	0	0	1	1	1	S4 SL7	(10+1/8)r
40	0	1	0	1	0	0	0	S5	10r
41	0	1	0	1	0	0	1	S5 SL1	(9+7/8)r
42	0	1	0	1	0	1	0	S5 SL2	(9+6/8)r
43	0	1	0	1	0	1	1	S5 SL3	(9+5/8)r
44	0	1	0	1	1	0	0	S5 SL4	(9+4/8)r
45	0	1	0	1	1	0	1	S5 SL5	(9+3/8)r
46	0	1	0	1	1	1	0	S5 SL6	(9+2/8)r
47	0	1	0	1	1	1	1	S5 SL7	(9+1/8)r
48	0	1	1	0	0	0	0	S6	9r
49	0	1	1	0	0	0	1	S6 SL1	(8+7/8)r
50	0	1	1	0	0	1	0	S6 SL2	(8+6/8)r
51	0	1	1	0	0	1	1	S6 SL3	(8+5/8)r
52	0	1	1	0	1	0	0	S6 SL4	(8+4/8)r
53	0	1	1	0	1	0	1	S6 SL5	(8+3/8)r
54	0	1	1	0	1	1	0	S6 SL6	(8+2/8)r
55	0	1	1	0	1	1	1	S6 SL7	(8+1/8)r
56	0	1	1	1	0	0	0	S7	8r
57	0	1	1	1	0	0	1	S7 SL1	(7+7/8)r
58	0	1	1	1	0	1	0	S7 SL2	(7+6/8)r
59	0	1	1	1	0	1	1	S7 SL3	(7+5/8)r
60	0	1	1	1	1	0	0	S7 SL4	(7+4/8)r
61	0	1	1	1	1	0	1	S7 SL5	(7+3/8)r
62	0	1	1	1	1	1	0	S7 SL6	(7+2/8)r
63	0	1	1	1	1	1	1	S7 SL7	(7+1/8)r

Counter	D	C	B	A	L2	L1	L0	ON-SW	抵抗値
64	1	0	0	0	0	0	0	S8	7r
65	1	0	0	0	0	0	1	S8 SL1	(6+7/8)r
66	1	0	0	0	0	1	0	S8 SL2	(6+6/8)r
67	1	0	0	0	0	1	1	S8 SL3	(6+5/8)r
68	1	0	0	0	1	0	0	S8 SL4	(6+4/8)r
69	1	0	0	0	1	0	1	S8 SL5	(6+3/8)r
70	1	0	0	0	1	1	0	S8 SL6	(6+2/8)r
71	1	0	0	0	1	1	1	S8 SL7	(6+1/8)r
72	1	0	0	1	0	0	0	S9	6r
73	1	0	0	1	0	0	1	S9 SL1	(5+7/8)r
74	1	0	0	1	0	1	0	S9 SL2	(5+6/8)r
75	1	0	0	1	0	1	1	S9 SL3	(5+5/8)r
76	1	0	0	1	1	0	0	S9 SL4	(5+4/8)r
77	1	0	0	1	1	0	1	S9 SL5	(5+3/8)r
78	1	0	0	1	1	1	0	S9 SL6	(5+2/8)r
79	1	0	0	1	1	1	1	S9 SL7	(5+1/8)r
80	1	0	1	0	0	0	0	S10	5r
81	1	0	1	0	0	0	1	S10 SL1	(4+7/8)r
82	1	0	1	0	0	1	0	S10 SL2	(4+6/8)r
83	1	0	1	0	0	1	1	S10 SL3	(4+5/8)r
84	1	0	1	0	1	0	0	S10 SL4	(4+4/8)r
85	1	0	1	0	1	0	1	S10 SL5	(4+3/8)r
86	1	0	1	0	1	1	0	S10 SL6	(4+2/8)r
87	1	0	1	0	1	1	1	S10 SL7	(4+1/8)r
88	1	0	1	1	0	0	0	S11	4r
89	1	0	1	1	0	0	1	S11 SL1	(3+7/8)r
90	1	0	1	1	0	1	0	S11 SL2	(3+6/8)r
91	1	0	1	1	0	1	1	S11 SL3	(3+5/8)r
92	1	0	1	1	1	0	0	S11 SL4	(3+4/8)r
93	1	0	1	1	1	0	1	S11 SL5	(3+3/8)r
94	1	0	1	1	1	1	0	S11 SL6	(3+2/8)r
95	1	0	1	1	1	1	1	S11 SL7	(3+1/8)r
96	1	1	0	0	0	0	0	S12	3r
97	1	1	0	0	0	0	1	S12 SL1	(2+7/8)r
98	1	1	0	0	0	1	0	S12 SL2	(2+6/8)r
99	1	1	0	0	0	1	1	S12 SL3	(2+5/8)r
100	1	1	0	0	1	0	0	S12 SL4	(2+4/8)r
101	1	1	0	0	1	0	1	S12 SL5	(2+3/8)r
102	1	1	0	0	1	1	0	S12 SL6	(2+2/8)r
103	1	1	0	0	1	1	1	S12 SL7	(2+1/8)r
104	1	1	0	1	0	0	0	S13	2r
105	1	1	0	1	0	0	1	S13 SL1	(1+7/8)r
106	1	1	0	1	0	1	0	S13 SL2	(1+6/8)r
107	1	1	0	1	0	1	1	S13 SL3	(1+5/8)r
108	1	1	0	1	1	0	0	S13 SL4	(1+4/8)r
109	1	1	0	1	1	0	1	S13 SL5	(1+3/8)r
110	1	1	0	1	1	1	0	S13 SL6	(1+2/8)r
111	1	1	0	1	1	1	1	S13 SL7	(1+1/8)r
112	1	1	1	0	0	0	0	S14	r
113	1	1	1	0	0	0	1	S14 SL1	(7/8)r
114	1	1	1	0	0	1	0	S14 SL2	(6/8)r
115	1	1	1	0	0	1	1	S14 SL3	(5/8)r
116	1	1	1	0	1	0	0	S14 SL4	(4/8)r
117	1	1	1	0	1	0	1	S14 SL5	(3/8)r
118	1	1	1	0	1	1	0	S14 SL6	(2/8)r
119	1	1	1	0	1	1	1	S14 SL7	(1/8)r
120	1	1	1	1	0	0	0	S15	0
121	1	1	1	1	0	0	1	S15 SL1	0
122	1	1	1	1	0	1	0	S15 SL2	0
123	1	1	1	1	0	1	1	S15 SL3	0
124	1	1	1	1	1	0	0	S15 SL4	0
125	1	1	1	1	1	0	1	S15 SL5	0
126	1	1	1	1	1	1	0	S15 SL6	0
127	1	1	1	1	1	1	1	S15 SL7	0

【图 5】

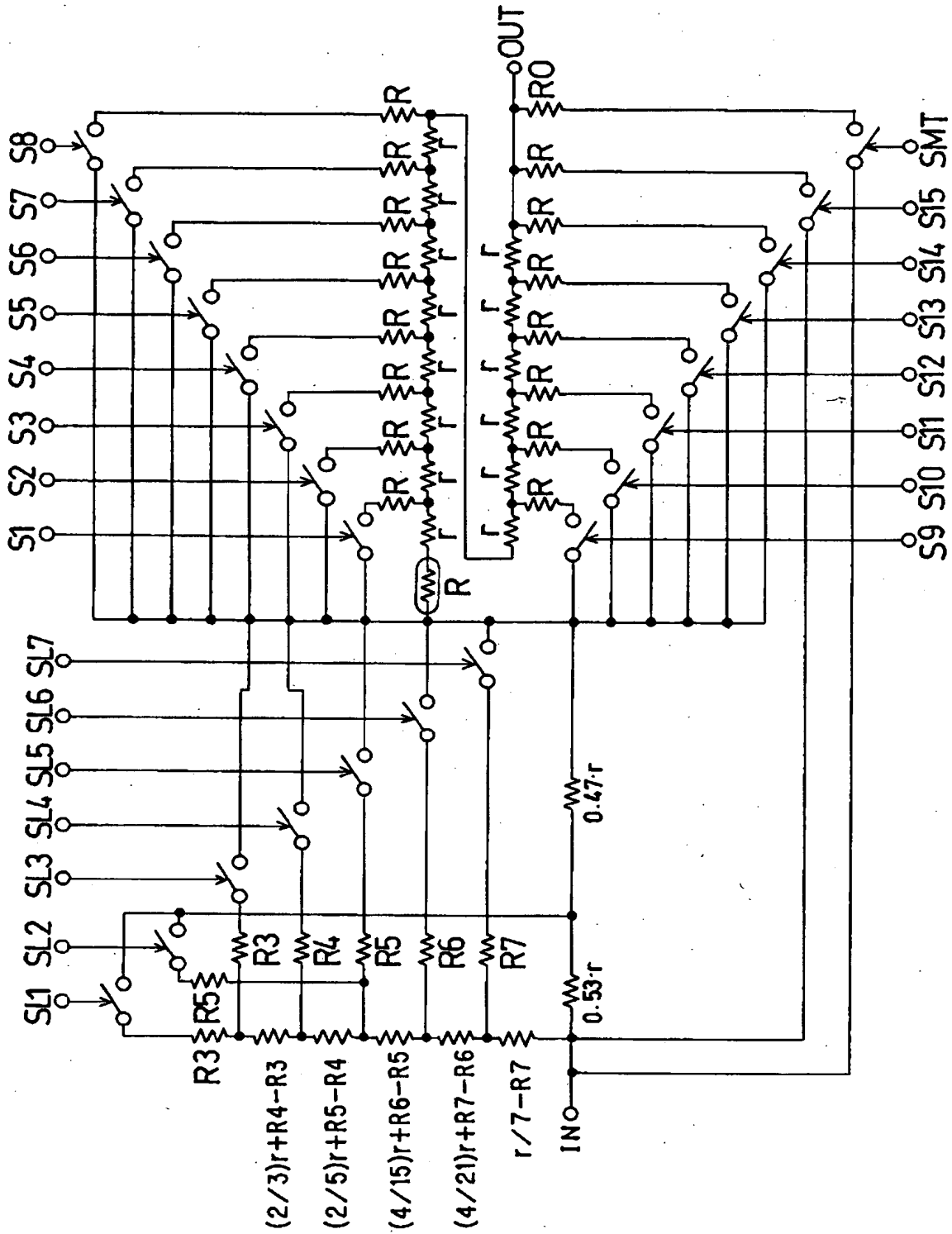


【図6】

Counter	D	C	B	A	L2	L1	L0	ON-SW	抵抗値
0	0	0	0	0	0	0	0		15r
1	0	0	0	0	0	0	1	SL1	(14+7/8)r
2	0	0	0	0	0	1	0	SL2	(14+6/8)r
3	0	0	0	0	0	1	1	SL3	(14+5/8)r
4	0	0	0	0	1	0	0	SL4	(14+4/8)r
5	0	0	0	0	1	0	1	SL5	(14+3/8)r
6	0	0	0	0	1	1	0	SL6	(14+2/8)r
7	0	0	0	0	1	1	1	SL7	(14+1/8)r
8	0	0	0	1	0	0	0	S1	14r+R
9	0	0	0	1	0	0	1	S1 SL1	(13+7/8)r+R
10	0	0	0	1	0	1	0	S1 SL2	(13+6/8)r+R
11	0	0	0	1	0	1	1	S1 SL3	(13+5/8)r+R
12	0	0	0	1	1	0	0	S1 SL4	(13+4/8)r+R
13	0	0	0	1	1	0	1	S1 SL5	(13+3/8)r+R
14	0	0	0	1	1	1	0	S1 SL6	(13+2/8)r+R
15	0	0	0	1	1	1	1	S1 SL7	(13+1/8)r+R
16	0	0	1	0	0	0	0	S2	13r+R
17	0	0	1	0	0	0	1	S2 SL1	(12+7/8)r+R
18	0	0	1	0	0	1	0	S2 SL2	(12+6/8)r+R
19	0	0	1	0	0	1	1	S2 SL3	(12+5/8)r+R
20	0	0	1	0	1	0	0	S2 SL4	(12+4/8)r+R
21	0	0	1	0	1	0	1	S2 SL5	(12+3/8)r+R
22	0	0	1	0	1	1	0	S2 SL6	(12+2/8)r+R
23	0	0	1	0	1	1	1	S2 SL7	(12+1/8)r+R
24	0	0	1	1	0	0	0	S3	12r+R
25	0	0	1	1	0	0	1	S3 SL1	(11+7/8)r+R
26	0	0	1	1	0	1	0	S3 SL2	(11+6/8)r+R
27	0	0	1	1	0	1	1	S3 SL3	(11+5/8)r+R
28	0	0	1	1	1	0	0	S3 SL4	(11+4/8)r+R
29	0	0	1	1	1	0	1	S3 SL5	(11+3/8)r+R
30	0	0	1	1	1	1	0	S3 SL6	(11+2/8)r+R
31	0	0	1	1	1	1	1	S3 SL7	(11+1/8)r+R
32	0	1	0	0	0	0	0	S4	11r+R
33	0	1	0	0	0	0	1	S4 SL1	(10+7/8)r+R
34	0	1	0	0	0	1	0	S4 SL2	(10+6/8)r+R
35	0	1	0	0	0	1	1	S4 SL3	(10+5/8)r+R
36	0	1	0	0	1	0	0	S4 SL4	(10+4/8)r+R
37	0	1	0	0	1	0	1	S4 SL5	(10+3/8)r+R
38	0	1	0	0	1	1	0	S4 SL6	(10+2/8)r+R
39	0	1	0	0	1	1	1	S4 SL7	(10+1/8)r+R
40	0	1	0	1	0	0	0	S5	10r+R
41	0	1	0	1	0	0	1	S5 SL1	(9+7/8)r+R
42	0	1	0	1	0	1	0	S5 SL2	(9+6/8)r+R
43	0	1	0	1	0	1	1	S5 SL3	(9+5/8)r+R
44	0	1	0	1	1	0	0	S5 SL4	(9+4/8)r+R
45	0	1	0	1	1	0	1	S5 SL5	(9+3/8)r+R
46	0	1	0	1	1	1	0	S5 SL6	(9+2/8)r+R
47	0	1	0	1	1	1	1	S5 SL7	(9+1/8)r+R
48	0	1	1	0	0	0	0	S6	9r+R
49	0	1	1	0	0	0	1	S6 SL1	(8+7/8)r+R
50	0	1	1	0	0	1	0	S6 SL2	(8+6/8)r+R
51	0	1	1	0	0	1	1	S6 SL3	(8+5/8)r+R
52	0	1	1	0	1	0	0	S6 SL4	(8+4/8)r+R
53	0	1	1	0	1	0	1	S6 SL5	(8+3/8)r+R
54	0	1	1	0	1	1	0	S6 SL6	(8+2/8)r+R
55	0	1	1	0	1	1	1	S6 SL7	(8+1/8)r+R
56	0	1	1	1	0	0	0	S7	8r+R
57	0	1	1	1	0	0	1	S7 SL1	(7+7/8)r+R
58	0	1	1	1	0	1	0	S7 SL2	(7+6/8)r+R
59	0	1	1	1	0	1	1	S7 SL3	(7+5/8)r+R
60	0	1	1	1	1	0	0	S7 SL4	(7+4/8)r+R
61	0	1	1	1	1	0	1	S7 SL5	(7+3/8)r+R
62	0	1	1	1	1	1	0	S7 SL6	(7+2/8)r+R
63	0	1	1	1	1	1	1	S7 SL7	(7+1/8)r+R

Counter	D	C	B	A	L2	L1	L0	ON-SW	抵抗値
64	1	0	0	0	0	0	0	S8	7r+R
65	1	0	0	0	0	0	1	S8 SL1	(6+7/8)r+R
66	1	0	0	0	0	1	0	S8 SL2	(6+6/8)r+R
67	1	0	0	0	0	1	1	S8 SL3	(6+5/8)r+R
68	1	0	0	0	1	0	0	S8 SL4	(6+4/8)r+R
69	1	0	0	0	1	0	1	S8 SL5	(6+3/8)r+R
70	1	0	0	0	1	1	0	S8 SL6	(6+2/8)r+R
71	1	0	0	0	1	1	1	S8 SL7	(6+1/8)r+R
72	1	0	0	1	0	0	0	S9	6r+R
73	1	0	0	1	0	0	1	S9 SL1	(5+7/8)r+R
74	1	0	0	1	0	1	0	S9 SL2	(5+6/8)r+R
75	1	0	0	1	0	1	1	S9 SL3	(5+5/8)r+R
76	1	0	0	1	1	0	0	S9 SL4	(5+4/8)r+R
77	1	0	0	1	1	0	1	S9 SL5	(5+3/8)r+R
78	1	0	0	1	1	1	0	S9 SL6	(5+2/8)r+R
79	1	0	0	1	1	1	1	S9 SL7	(5+1/8)r+R
80	1	0	1	0	0	0	0	S10	5r+R
81	1	0	1	0	0	0	1	S10 SL1	(4+7/8)r+R
82	1	0	1	0	0	1	0	S10 SL2	(4+6/8)r+R
83	1	0	1	0	0	1	1	S10 SL3	(4+5/8)r+R
84	1	0	1	0	1	0	0	S10 SL4	(4+4/8)r+R
85	1	0	1	0	1	0	1	S10 SL5	(4+3/8)r+R
86	1	0	1	0	1	1	0	S10 SL6	(4+2/8)r+R
87	1	0	1	0	1	1	1	S10 SL7	(4+1/8)r+R
88	1	0	1	1	0	0	0	S11	4r+R
89	1	0	1	1	0	0	1	S11 SL1	(3+7/8)r+R
90	1	0	1	1	0	1	0	S11 SL2	(3+6/8)r+R
91	1	0	1	1	0	1	1	S11 SL3	(3+5/8)r+R
92	1	0	1	1	1	0	0	S11 SL4	(3+4/8)r+R
93	1	0	1	1	1	0	1	S11 SL5	(3+3/8)r+R
94	1	0	1	1	1	1	0	S11 SL6	(3+2/8)r+R
95	1	0	1	1	1	1	1	S11 SL7	(3+1/8)r+R
96	1	1	0	0	0	0	0	S12	3r+R
97	1	1	0	0	0	0	1	S12 SL1	(2+7/8)r+R
98	1	1	0	0	0	1	0	S12 SL2	(2+6/8)r+R
99	1	1	0	0	0	1	1	S12 SL3	(2+5/8)r+R
100	1	1	0	0	1	0	0	S12 SL4	(2+4/8)r+R
101	1	1	0	0	1	0	1	S12 SL5	(2+3/8)r+R
102	1	1	0	0	1	1	0	S12 SL6	(2+2/8)r+R
103	1	1	0	0	1	1	1	S12 SL7	(2+1/8)r+R
104	1	1	0	1	0	0	0	S13	2r+R
105	1	1	0	1	0	0	1	S13 SL1	(1+7/8)r+R
106	1	1	0	1	0	1	0	S13 SL2	(1+6/8)r+R
107	1	1	0	1	0	1	1	S13 SL3	(1+5/8)r+R
108	1	1	0	1	1	0	0	S13 SL4	(1+4/8)r+R
109	1	1	0	1	1	0	1	S13 SL5	(1+3/8)r+R
110	1	1	0	1	1	1	0	S13 SL6	(1+2/8)r+R
111	1	1	0	1	1	1	1	S13 SL7	(1+1/8)r+R
112	1	1	1	0	0	0	0	S14	r+R
113	1	1	1	0	0	0	1	S14 SL1	(7/8)r+R
114	1	1	1	0	0	1	0	S14 SL2	(6/8)r+R
115	1	1	1	0	0	1	1	S14 SL3	(5/8)r+R
116	1	1	1	0	1	0	0	S14 SL4	(4/8)r+R
117	1	1	1	0	1	0	1	S14 SL5	(3/8)r+R
118	1	1	1	0	1	1	0	S14 SL6	(2/8)r+R
119	1	1	1	0	1	1	1	S14 SL7	(1/8)r+R
120	1	1	1	1	0	0	0	S15	R
121	1	1	1	1	0	0	1	S15 SL1	R0
122	1	1	1	1	0	1	0	S15 SL2	R0
123	1	1	1	1	0	1	1	S15 SL3	R0
124	1	1	1	1	1	0	0	S15 SL4	R0
125	1	1	1	1	1	0	1	S15 SL5	R0
126	1	1	1	1	1	1	0	S15 SL6	R0
127	1	1	1	1	1	1	1	S15 SL7	R0

【図 7】

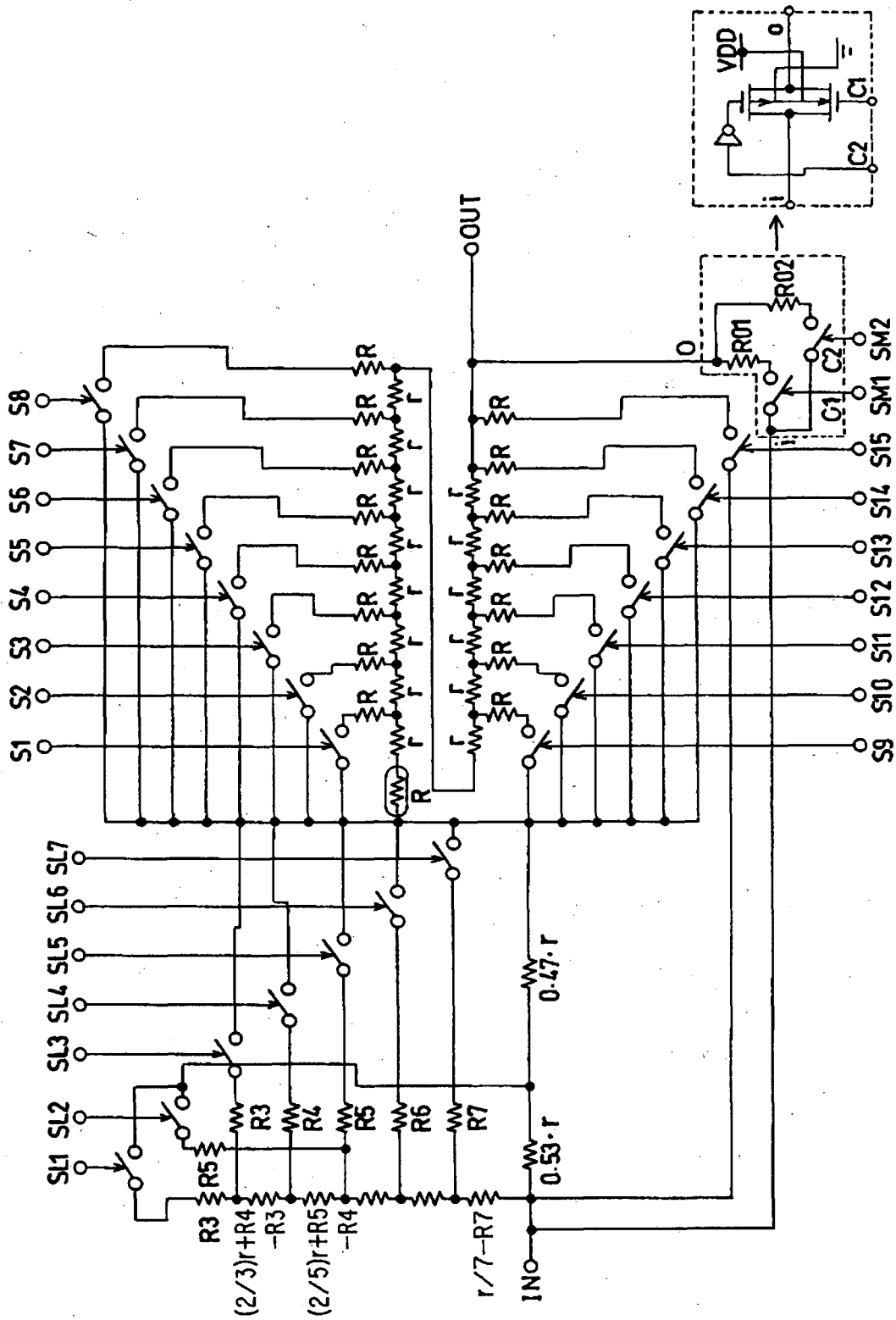


【図 8】

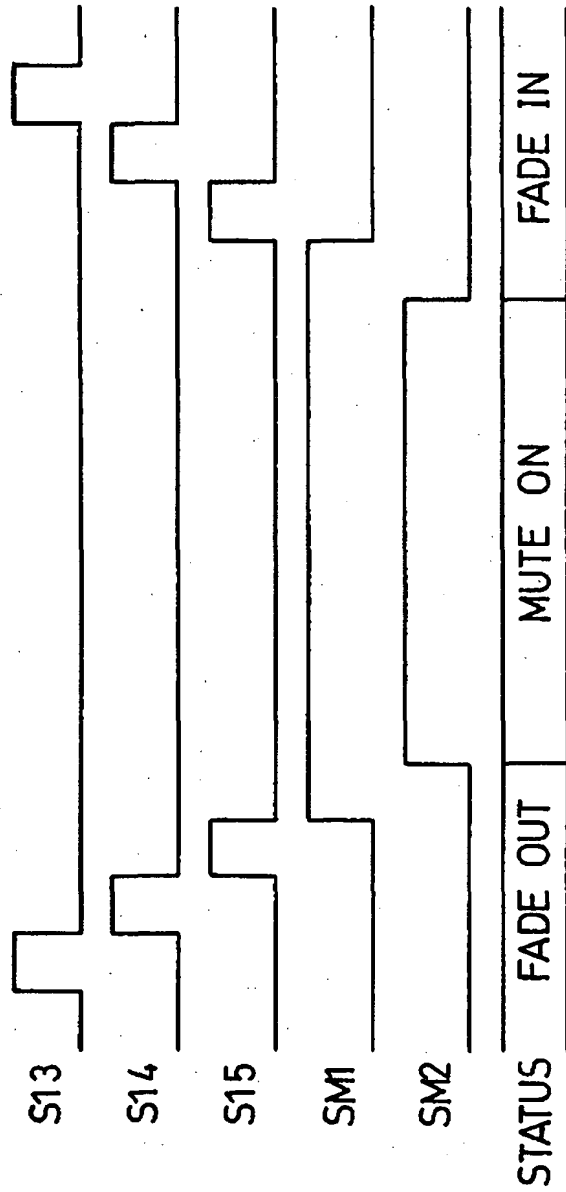
Counter	D	C	B	A	L2	L1	L0	ON-SW	抵抗値
0	0	0	0	0	0	0	0		15r+R
1	0	0	0	0	0	0	1	SL1	(14+7/8)r+R
2	0	0	0	0	0	1	0	SL2	(14+6/8)r+R
3	0	0	0	0	0	1	1	SL3	(14+5/8)r+R
4	0	0	0	0	1	0	0	SL4	(14+4/8)r+R
5	0	0	0	0	1	0	1	SL5	(14+3/8)r+R
6	0	0	0	0	1	1	0	SL6	(14+2/8)r+R
7	0	0	0	0	1	1	1	SL7	(14+1/8)r+R
8	0	0	0	1	0	0	0	S1	14r+R
9	0	0	0	1	0	0	1	S1 SL1	(13+7/8)r+R
10	0	0	0	1	0	1	0	S1 SL2	(13+6/8)r+R
11	0	0	0	1	0	1	1	S1 SL3	(13+5/8)r+R
12	0	0	0	1	1	0	0	S1 SL4	(13+4/8)r+R
13	0	0	0	1	1	0	1	S1 SL5	(13+3/8)r+R
14	0	0	0	1	1	1	0	S1 SL6	(13+2/8)r+R
15	0	0	0	1	1	1	1	S1 SL7	(13+1/8)r+R
16	0	0	1	0	0	0	0	S2	13r+R
17	0	0	1	0	0	0	1	S2 SL1	(12+7/8)r+R
18	0	0	1	0	0	1	0	S2 SL2	(12+6/8)r+R
19	0	0	1	0	0	1	1	S2 SL3	(12+5/8)r+R
20	0	0	1	0	1	0	0	S2 SL4	(12+4/8)r+R
21	0	0	1	0	1	0	1	S2 SL5	(12+3/8)r+R
22	0	0	1	0	1	1	0	S2 SL6	(12+2/8)r+R
23	0	0	1	0	1	1	1	S2 SL7	(12+1/8)r+R
24	0	0	1	1	0	0	0	S3	12r+R
25	0	0	1	1	0	0	1	S3 SL1	(11+7/8)r+R
26	0	0	1	1	0	1	0	S3 SL2	(11+6/8)r+R
27	0	0	1	1	0	1	1	S3 SL3	(11+5/8)r+R
28	0	0	1	1	1	0	0	S3 SL4	(11+4/8)r+R
29	0	0	1	1	1	0	1	S3 SL5	(11+3/8)r+R
30	0	0	1	1	1	1	0	S3 SL6	(11+2/8)r+R
31	0	0	1	1	1	1	1	S3 SL7	(11+1/8)r+R
32	0	1	0	0	0	0	0	S4	11r+R
33	0	1	0	0	0	0	1	S4 SL1	(10+7/8)r+R
34	0	1	0	0	0	1	0	S4 SL2	(10+6/8)r+R
35	0	1	0	0	0	1	1	S4 SL3	(10+5/8)r+R
36	0	1	0	0	1	0	0	S4 SL4	(10+4/8)r+R
37	0	1	0	0	1	0	1	S4 SL5	(10+3/8)r+R
38	0	1	0	0	1	1	0	S4 SL6	(10+2/8)r+R
39	0	1	0	0	1	1	1	S4 SL7	(10+1/8)r+R
40	0	1	0	1	0	0	0	S5	10r+R
41	0	1	0	1	0	0	1	S5 SL1	(9+7/8)r+R
42	0	1	0	1	0	1	0	S5 SL2	(9+6/8)r+R
43	0	1	0	1	0	1	1	S5 SL3	(9+5/8)r+R
44	0	1	0	1	1	0	0	S5 SL4	(9+4/8)r+R
45	0	1	0	1	1	0	1	S5 SL5	(9+3/8)r+R
46	0	1	0	1	1	1	0	S5 SL6	(9+2/8)r+R
47	0	1	0	1	1	1	1	S5 SL7	(9+1/8)r+R
48	0	1	1	0	0	0	0	S6	9r+R
49	0	1	1	0	0	0	1	S6 SL1	(8+7/8)r+R
50	0	1	1	0	0	1	0	S6 SL2	(8+6/8)r+R
51	0	1	1	0	0	1	1	S6 SL3	(8+5/8)r+R
52	0	1	1	0	1	0	0	S6 SL4	(8+4/8)r+R
53	0	1	1	0	1	0	1	S6 SL5	(8+3/8)r+R
54	0	1	1	0	1	1	0	S6 SL6	(8+2/8)r+R
55	0	1	1	0	1	1	1	S6 SL7	(8+1/8)r+R
56	0	1	1	1	0	0	0	S7	8r+R
57	0	1	1	1	0	0	1	S7 SL1	(7+7/8)r+R
58	0	1	1	1	0	1	0	S7 SL2	(7+6/8)r+R
59	0	1	1	1	0	1	1	S7 SL3	(7+5/8)r+R
60	0	1	1	1	1	0	0	S7 SL4	(7+4/8)r+R
61	0	1	1	1	1	0	1	S7 SL5	(7+3/8)r+R
62	0	1	1	1	1	1	0	S7 SL6	(7+2/8)r+R
63	0	1	1	1	1	1	1	S7 SL7	(7+1/8)r+R

Counter	D	C	B	A	L2	L1	L0	ON-SW	抵抗値
64	1	0	0	0	0	0	0	S8	7r+R
65	1	0	0	0	0	0	1	S8 SL1	(6+7/8)r+R
66	1	0	0	0	0	1	0	S8 SL2	(6+6/8)r+R
67	1	0	0	0	0	1	1	S8 SL3	(6+5/8)r+R
68	1	0	0	0	1	0	0	S8 SL4	(6+4/8)r+R
69	1	0	0	0	1	0	1	S8 SL5	(6+3/8)r+R
70	1	0	0	0	1	1	0	S8 SL6	(6+2/8)r+R
71	1	0	0	0	1	1	1	S8 SL7	(6+1/8)r+R
72	1	0	0	1	0	0	0	S9	6r+R
73	1	0	0	1	0	0	1	S9 SL1	(5+7/8)r+R
74	1	0	0	1	0	1	0	S9 SL2	(5+6/8)r+R
75	1	0	0	1	0	1	1	S9 SL3	(5+5/8)r+R
76	1	0	0	1	1	0	0	S9 SL4	(5+4/8)r+R
77	1	0	0	1	1	0	1	S9 SL5	(5+3/8)r+R
78	1	0	0	1	1	1	0	S9 SL6	(5+2/8)r+R
79	1	0	0	1	1	1	1	S9 SL7	(5+1/8)r+R
80	1	0	1	0	0	0	0	S10	5r+R
81	1	0	1	0	0	0	1	S10 SL1	(4+7/8)r+R
82	1	0	1	0	0	1	0	S10 SL2	(4+6/8)r+R
83	1	0	1	0	0	1	1	S10 SL3	(4+5/8)r+R
84	1	0	1	0	1	0	0	S10 SL4	(4+4/8)r+R
85	1	0	1	0	1	0	1	S10 SL5	(4+3/8)r+R
86	1	0	1	0	1	1	0	S10 SL6	(4+2/8)r+R
87	1	0	1	0	1	1	1	S10 SL7	(4+1/8)r+R
88	1	0	1	1	0	0	0	S11	4r+R
89	1	0	1	1	0	0	1	S11 SL1	(3+7/8)r+R
90	1	0	1	1	0	1	0	S11 SL2	(3+6/8)r+R
91	1	0	1	1	0	1	1	S11 SL3	(3+5/8)r+R
92	1	0	1	1	1	0	0	S11 SL4	(3+4/8)r+R
93	1	0	1	1	1	0	1	S11 SL5	(3+3/8)r+R
94	1	0	1	1	1	1	0	S11 SL6	(3+2/8)r+R
95	1	0	1	1	1	1	1	S11 SL7	(3+1/8)r+R
96	1	1	0	0	0	0	0	S12	3r+R
97	1	1	0	0	0	0	1	S12 SL1	(2+7/8)r+R
98	1	1	0	0	0	1	0	S12 SL2	(2+6/8)r+R
99	1	1	0	0	0	1	1	S12 SL3	(2+5/8)r+R
100	1	1	0	0	1	0	0	S12 SL4	(2+4/8)r+R
101	1	1	0	0	1	0	1	S12 SL5	(2+3/8)r+R
102	1	1	0	0	1	1	0	S12 SL6	(2+2/8)r+R
103	1	1	0	0	1	1	1	S12 SL7	(2+1/8)r+R
104	1	1	0	1	0	0	0	S13	2r+R
105	1	1	0	1	0	0	1	S13 SL1	(1+7/8)r+R
106	1	1	0	1	0	1	0	S13 SL2	(1+6/8)r+R
107	1	1	0	1	0	1	1	S13 SL3	(1+5/8)r+R
108	1	1	0	1	1	0	0	S13 SL4	(1+4/8)r+R
109	1	1	0	1	1	0	1	S13 SL5	(1+3/8)r+R
110	1	1	0	1	1	1	0	S13 SL6	(1+2/8)r+R
111	1	1	0	1	1	1	1	S13 SL7	(1+1/8)r+R
112	1	1	1	0	0	0	0	S14	r+R
113	1	1	1	0	0	0	1	S14 SL1	(7/8)r+R
114	1	1	1	0	0	1	0	S14 SL2	(6/8)r+R
115	1	1	1	0	0	1	1	S14 SL3	(5/8)r+R
116	1	1	1	0	1	0	0	S14 SL4	(4/8)r+R
117	1	1	1	0	1	0	1	S14 SL5	(3/8)r+R
118	1	1	1	0	1	1	0	S14 SL6	(2/8)r+R
119	1	1	1	0	1	1	1	S14 SL7	(1/8)r+R
120	1	1	1	1	0	0	0	S15	R//R0
121	1	1	1	1	0	0	1	S15 SMT1	R0
122	1	1	1	1	0	1	0	S15 SMT2	R0
123	1	1	1	1	0	1	1	S15 SMT3	R0
124	1	1	1	1	1	0	0	S15 SMT4	R0
125	1	1	1	1	1	0	1	S15 SMT5	R0
126	1	1	1	1	1	1	0	S15 SMT6	R0
127	1	1	1	1	1	1	1	S15 SMT7	R0

【図 9】



【図 10】

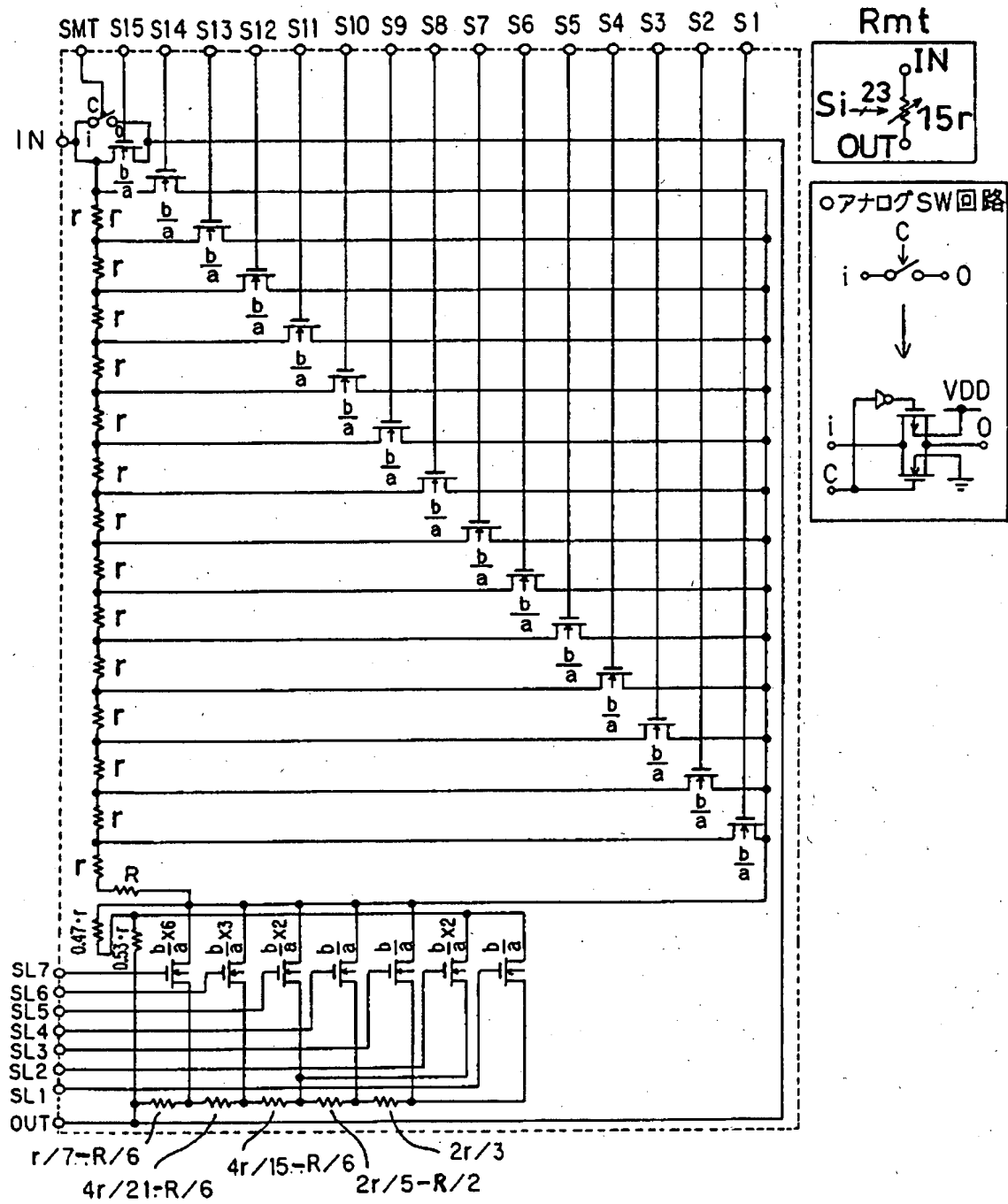


【図 11】

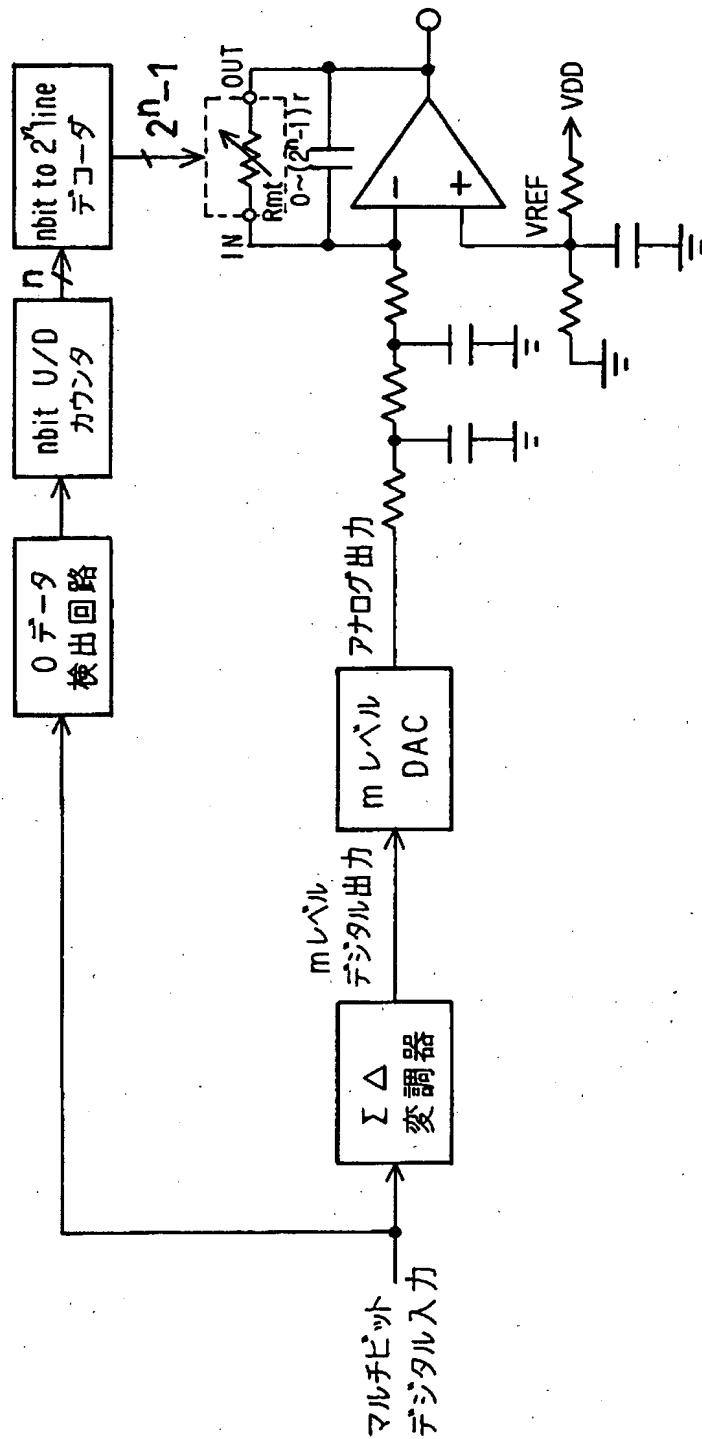
Counter	D	C	B	A	L2	L1	L0	ON-SW	抵抗値
0	0	0	0	0	0	0	0		15rR
1	0	0	0	0	0	0	1	SL1	(14+7/8)rR
2	0	0	0	0	0	1	0	SL2	(14+6/8)rR
3	0	0	0	0	0	1	1	SL3	(14+5/8)rR
4	0	0	0	0	1	0	0	SL4	(14+4/8)rR
5	0	0	0	0	1	0	1	SL5	(14+3/8)rR
6	0	0	0	0	1	1	0	SL6	(14+2/8)rR
7	0	0	0	0	1	1	1	SL7	(14+1/8)rR
8	0	0	0	1	0	0	0	S1	14rR
9	0	0	0	1	0	0	1	S1 SL1	(13+7/8)rR
10	0	0	0	1	0	1	0	S1 SL2	(13+6/8)rR
11	0	0	0	1	0	1	1	S1 SL3	(13+5/8)rR
12	0	0	0	1	1	0	0	S1 SL4	(13+4/8)rR
13	0	0	0	1	1	0	1	S1 SL5	(13+3/8)rR
14	0	0	0	1	1	1	0	S1 SL6	(13+2/8)rR
15	0	0	0	1	1	1	1	S1 SL7	(13+1/8)rR
16	0	0	1	0	0	0	0	S2	13rR
17	0	0	1	0	0	0	1	S2 SL1	(12+7/8)rR
18	0	0	1	0	0	1	0	S2 SL2	(12+6/8)rR
19	0	0	1	0	0	1	1	S2 SL3	(12+5/8)rR
20	0	0	1	0	1	0	0	S2 SL4	(12+4/8)rR
21	0	0	1	0	1	0	1	S2 SL5	(12+3/8)rR
22	0	0	1	0	1	1	0	S2 SL6	(12+2/8)rR
23	0	0	1	0	1	1	1	S2 SL7	(12+1/8)rR
24	0	0	1	1	0	0	0	S3	12rR
25	0	0	1	1	0	0	1	S3 SL1	(11+7/8)rR
26	0	0	1	1	0	1	0	S3 SL2	(11+6/8)rR
27	0	0	1	1	0	1	1	S3 SL3	(11+5/8)rR
28	0	0	1	1	1	0	0	S3 SL4	(11+4/8)rR
29	0	0	1	1	1	0	1	S3 SL5	(11+3/8)rR
30	0	0	1	1	1	1	0	S3 SL6	(11+2/8)rR
31	0	0	1	1	1	1	1	S3 SL7	(11+1/8)rR
32	0	1	0	0	0	0	0	S4	11rR
33	0	1	0	0	0	0	1	S4 SL1	(10+7/8)rR
34	0	1	0	0	0	1	0	S4 SL2	(10+6/8)rR
35	0	1	0	0	0	1	1	S4 SL3	(10+5/8)rR
36	0	1	0	0	1	0	0	S4 SL4	(10+4/8)rR
37	0	1	0	0	1	0	1	S4 SL5	(10+3/8)rR
38	0	1	0	0	1	1	0	S4 SL6	(10+2/8)rR
39	0	1	0	0	1	1	1	S4 SL7	(10+1/8)rR
40	0	1	0	1	0	0	0	S5	10rR
41	0	1	0	1	0	0	1	S5 SL1	(9+7/8)rR
42	0	1	0	1	0	1	0	S5 SL2	(9+6/8)rR
43	0	1	0	1	0	1	1	S5 SL3	(9+5/8)rR
44	0	1	0	1	1	0	0	S5 SL4	(9+4/8)rR
45	0	1	0	1	1	0	1	S5 SL5	(9+3/8)rR
46	0	1	0	1	1	1	0	S5 SL6	(9+2/8)rR
47	0	1	0	1	1	1	1	S5 SL7	(9+1/8)rR
48	0	1	1	0	0	0	0	S6	9rR
49	0	1	1	0	0	0	1	S6 SL1	(8+7/8)rR
50	0	1	1	0	0	1	0	S6 SL2	(8+6/8)rR
51	0	1	1	0	0	1	1	S6 SL3	(8+5/8)rR
52	0	1	1	0	1	0	0	S6 SL4	(8+4/8)rR
53	0	1	1	0	1	0	1	S6 SL5	(8+3/8)rR
54	0	1	1	0	1	1	0	S6 SL6	(8+2/8)rR
55	0	1	1	0	1	1	1	S6 SL7	(8+1/8)rR
56	0	1	1	1	0	0	0	S7	8rR
57	0	1	1	1	0	0	1	S7 SL1	(7+7/8)rR
58	0	1	1	1	0	1	0	S7 SL2	(7+6/8)rR
59	0	1	1	1	0	1	1	S7 SL3	(7+5/8)rR
60	0	1	1	1	1	0	0	S7 SL4	(7+4/8)rR
61	0	1	1	1	1	0	1	S7 SL5	(7+3/8)rR
62	0	1	1	1	1	1	0	S7 SL6	(7+2/8)rR
63	0	1	1	1	1	1	1	S7 SL7	(7+1/8)rR

Counter	D	C	B	A	L2	L1	L0	ON-SW	抵抗値
64	1	0	0	0	0	0	0	S8	7rR
65	1	0	0	0	0	0	1	S8 SL1	(6+7/8)rR
66	1	0	0	0	0	1	0	S8 SL2	(6+6/8)rR
67	1	0	0	0	0	1	1	S8 SL3	(6+5/8)rR
68	1	0	0	0	1	0	0	S8 SL4	(6+4/8)rR
69	1	0	0	0	1	0	1	S8 SL5	(6+3/8)rR
70	1	0	0	0	1	1	0	S8 SL6	(6+2/8)rR
71	1	0	0	0	1	1	1	S8 SL7	(6+1/8)rR
72	1	0	0	1	0	0	0	S9	6rR
73	1	0	0	1	0	0	1	S9 SL1	(5+7/8)rR
74	1	0	0	1	0	1	0	S9 SL2	(5+6/8)rR
75	1	0	0	1	0	1	1	S9 SL3	(5+5/8)rR
76	1	0	0	1	1	0	0	S9 SL4	(5+4/8)rR
77	1	0	0	1	1	0	1	S9 SL5	(5+3/8)rR
78	1	0	0	1	1	1	0	S9 SL6	(5+2/8)rR
79	1	0	0	1	1	1	1	S9 SL7	(5+1/8)rR
80	1	0	1	0	0	0	0	S10	5rR
81	1	0	1	0	0	0	1	S10 SL1	(4+7/8)rR
82	1	0	1	0	0	1	0	S10 SL2	(4+6/8)rR
83	1	0	1	0	0	1	1	S10 SL3	(4+5/8)rR
84	1	0	1	0	1	0	0	S10 SL4	(4+4/8)rR
85	1	0	1	0	1	0	1	S10 SL5	(4+3/8)rR
86	1	0	1	0	1	1	0	S10 SL6	(4+2/8)rR
87	1	0	1	0	1	1	1	S10 SL7	(4+1/8)rR
88	1	0	1	1	0	0	0	S11	4rR
89	1	0	1	1	0	0	1	S11 SL1	(3+7/8)rR
90	1	0	1	1	0	1	0	S11 SL2	(3+6/8)rR
91	1	0	1	1	0	1	1	S11 SL3	(3+5/8)rR
92	1	0	1	1	1	0	0	S11 SL4	(3+4/8)rR
93	1	0	1	1	1	0	1	S11 SL5	(3+3/8)rR
94	1	0	1	1	1	1	0	S11 SL6	(3+2/8)rR
95	1	0	1	1	1	1	1	S11 SL7	(3+1/8)rR
96	1	1	0	0	0	0	0	S12	3rR
97	1	1	0	0	0	0	1	S12 SL1	(2+7/8)rR
98	1	1	0	0	0	1	0	S12 SL2	(2+6/8)rR
99	1	1	0	0	0	1	1	S12 SL3	(2+5/8)rR
100	1	1	0	0	1	0	0	S12 SL4	(2+4/8)rR
101	1	1	0	0	1	0	1	S12 SL5	(2+3/8)rR
102	1	1	0	0	1	1	0	S12 SL6	(2+2/8)rR
103	1	1	0	0	1	1	1	S12 SL7	(2+1/8)rR
104	1	1	0	1	0	0	0	S13	2rR
105	1	1	0	1	0	0	1	S13 SL1	(1+7/8)rR
106	1	1	0	1	0	1	0	S13 SL2	(1+6/8)rR
107	1	1	0	1	0	1	1	S13 SL3	(1+5/8)rR
108	1	1	0	1	1	0	0	S13 SL4	(1+4/8)rR
109	1	1	0	1	1	0	1	S13 SL5	(1+3/8)rR
110	1	1	0	1	1	1	0	S13 SL6	(1+2/8)rR
111	1	1	0	1	1	1	1	S13 SL7	(1+1/8)rR
112	1	1	1	0	0	0	0	S14	rR
113	1	1	1	0	0	0	1	S14 SL1	(7/8)rR
114	1	1	1	0	0	1	0	S14 SL2	(6/8)rR
115	1	1	1	0	0	1	1	S14 SL3	(5/8)rR
116	1	1	1	0	1	0	0	S14 SL4	(4/8)rR
117	1	1	1	0	1	0	1	S14 SL5	(3/8)rR
118	1	1	1	0	1	1	0	S14 SL6	(2/8)rR
119	1	1	1	0	1	1	1	S14 SL7	(1/8)rR
120	1	1	1	1	0	0	0	S15	R
121	1	1	1	1	0	0	1	SM1	R01
122	1	1	1	1	0	1	0	SM1 SM2	R01//R02
123	1	1	1	1	0	1	1	SM1 SM2	R01//R02
124	1	1	1	1	1	0	0	SM1 SM2	R01//R02
125	1	1	1	1	1	0	1	SM1 SM2	R01//R02
126	1	1	1	1	1	1	0	SM1 SM2	R01//R02
127	1	1	1	1	1	1	1	SM1 SM2	R01//R02

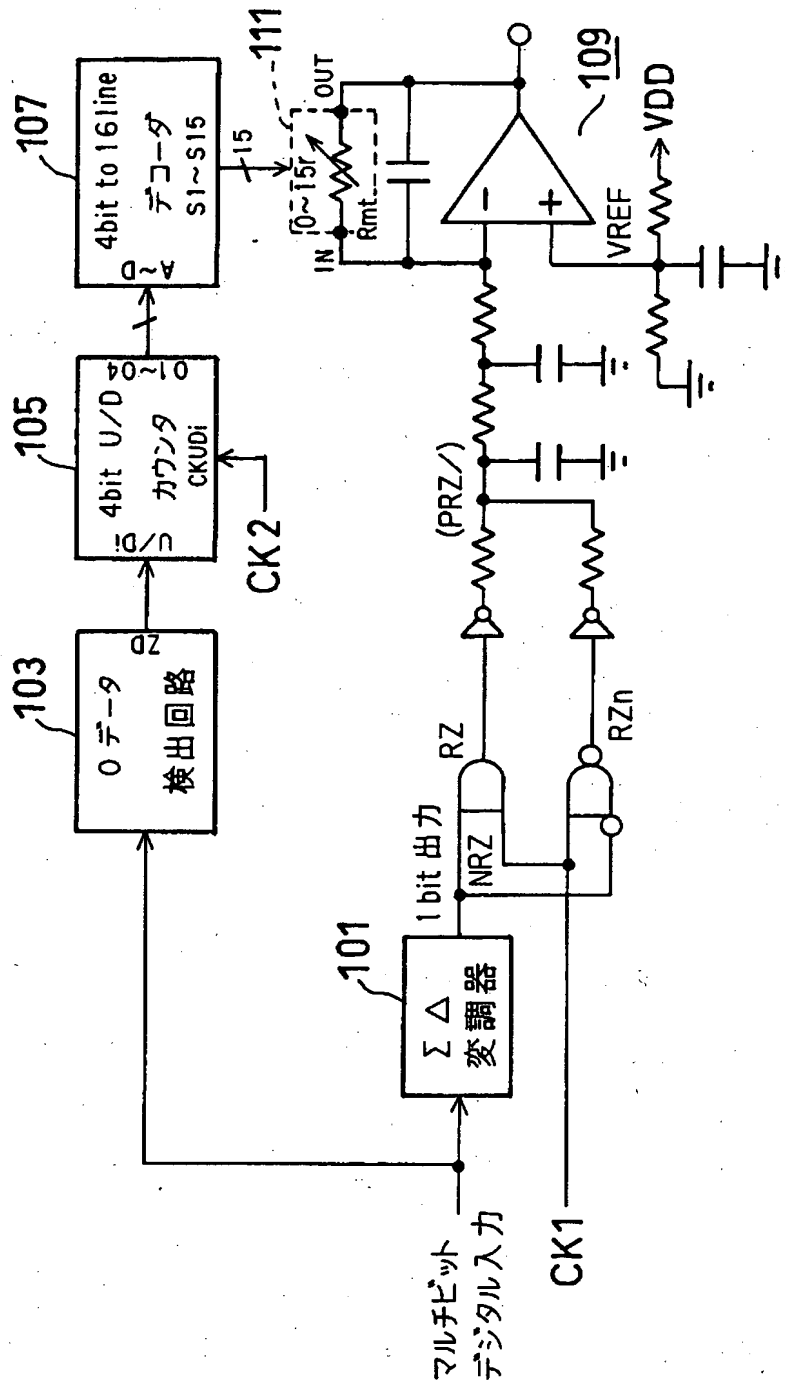
【図 12】



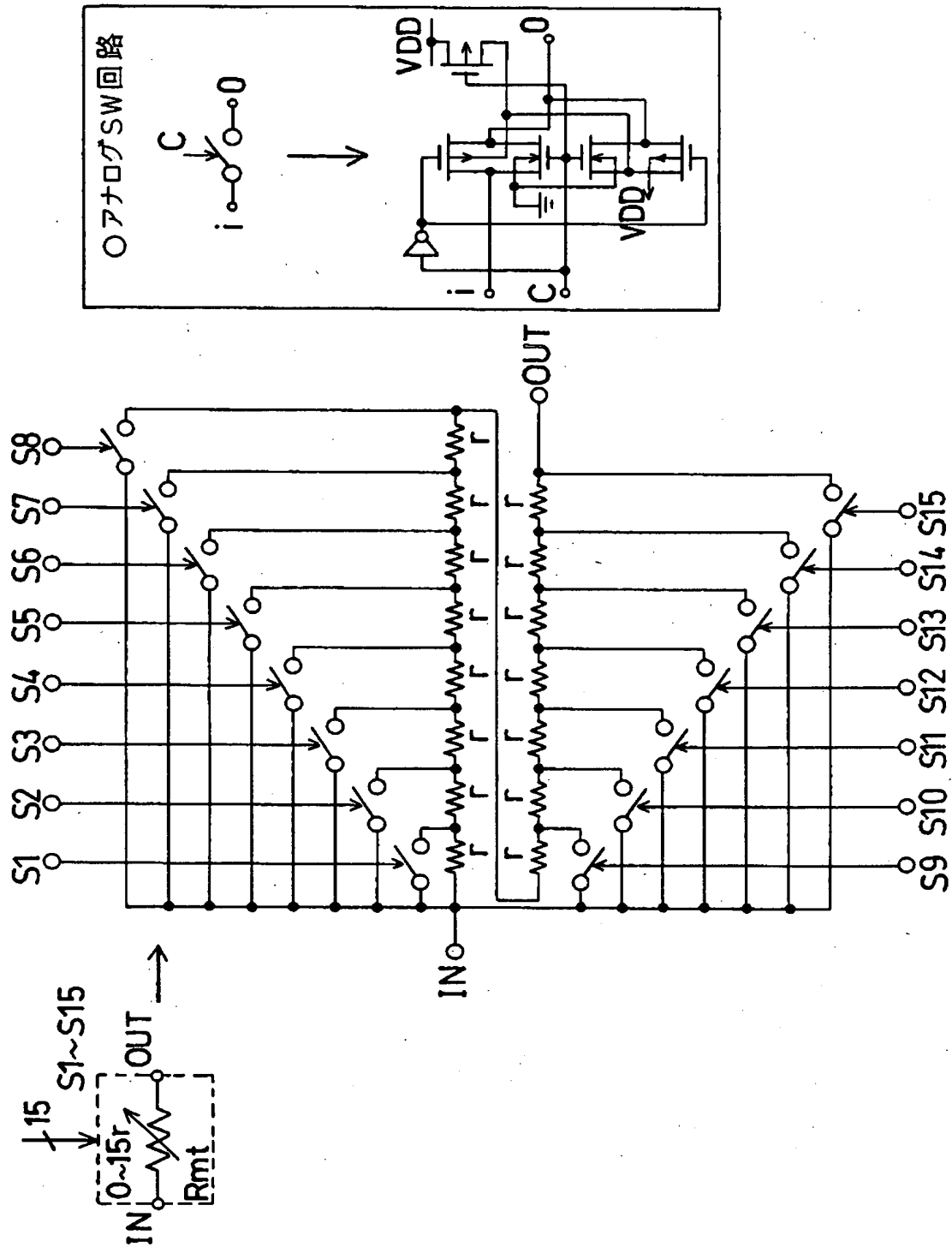
【図 13】



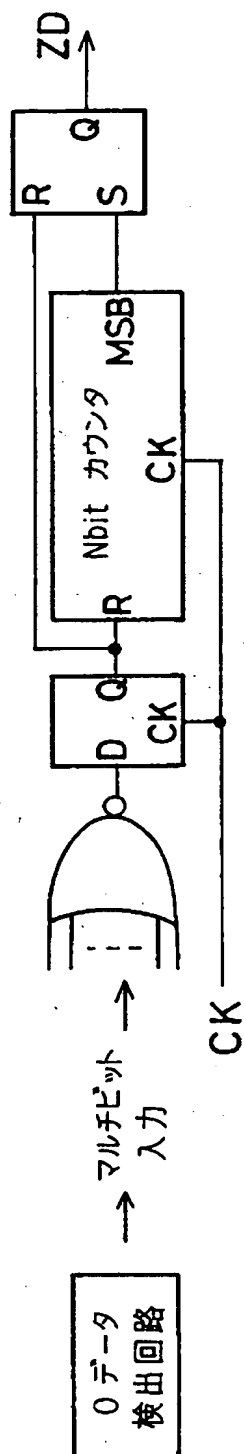
【図 14】



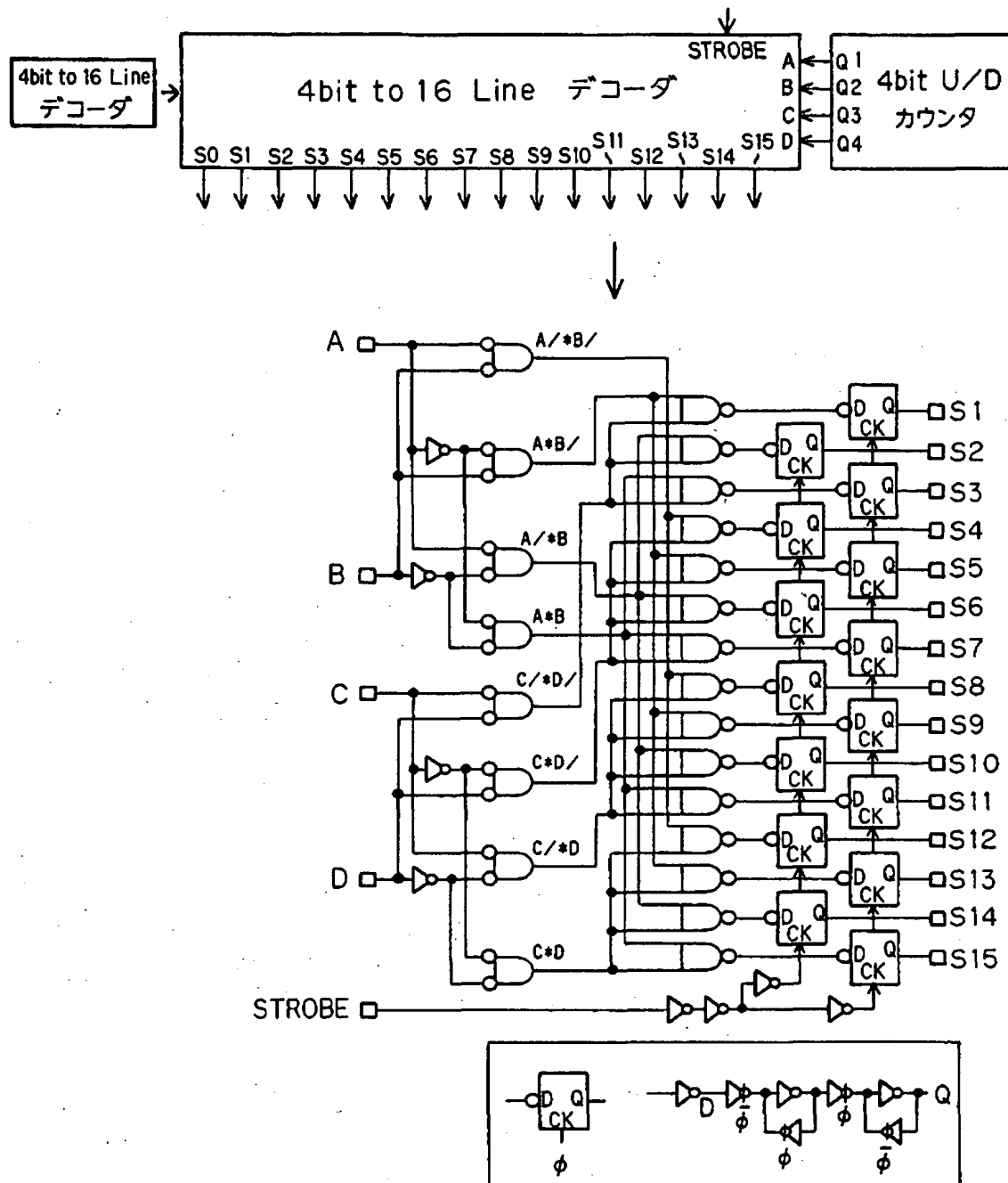
【図 15】



【図 16】



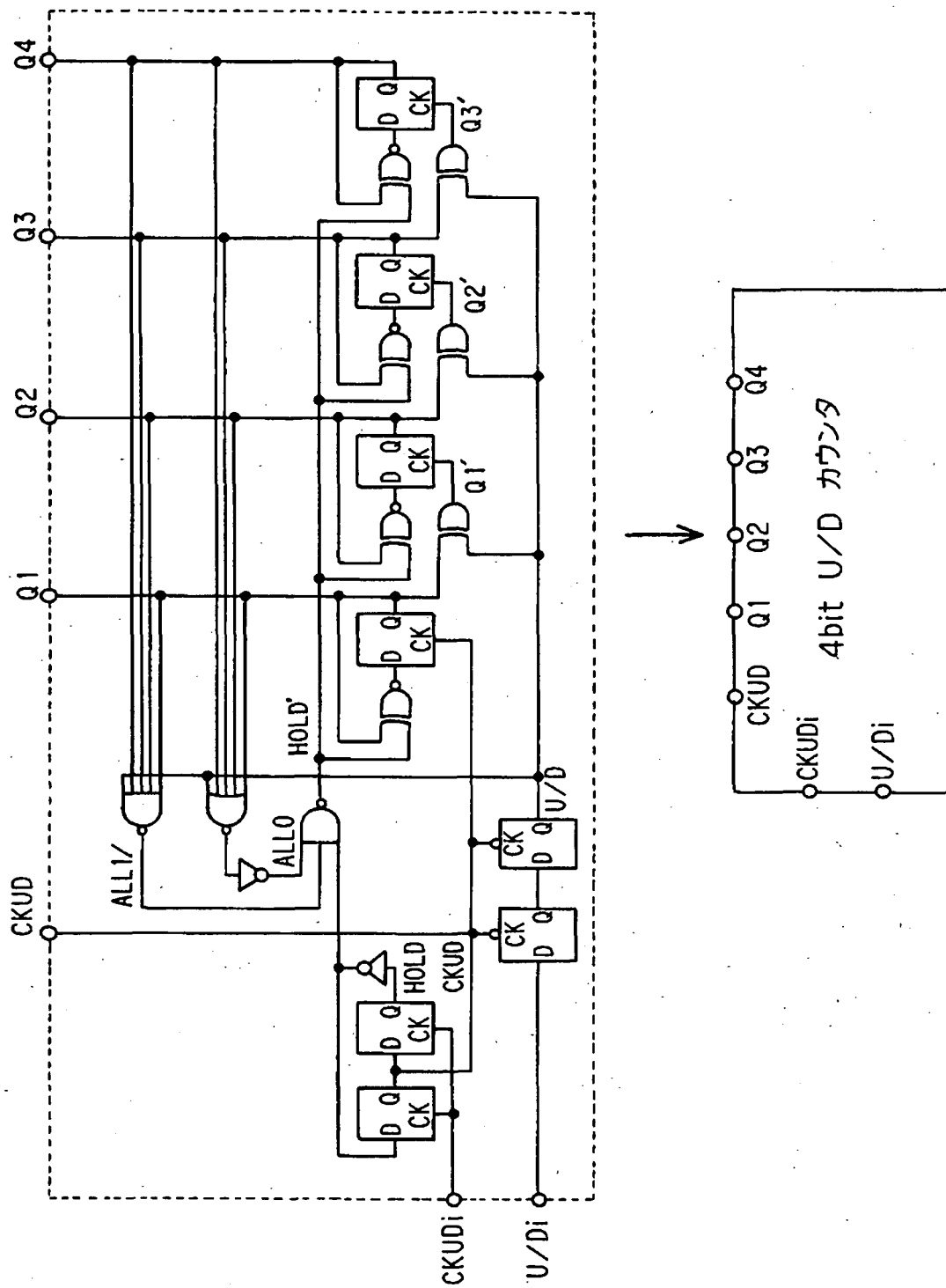
【図 17】



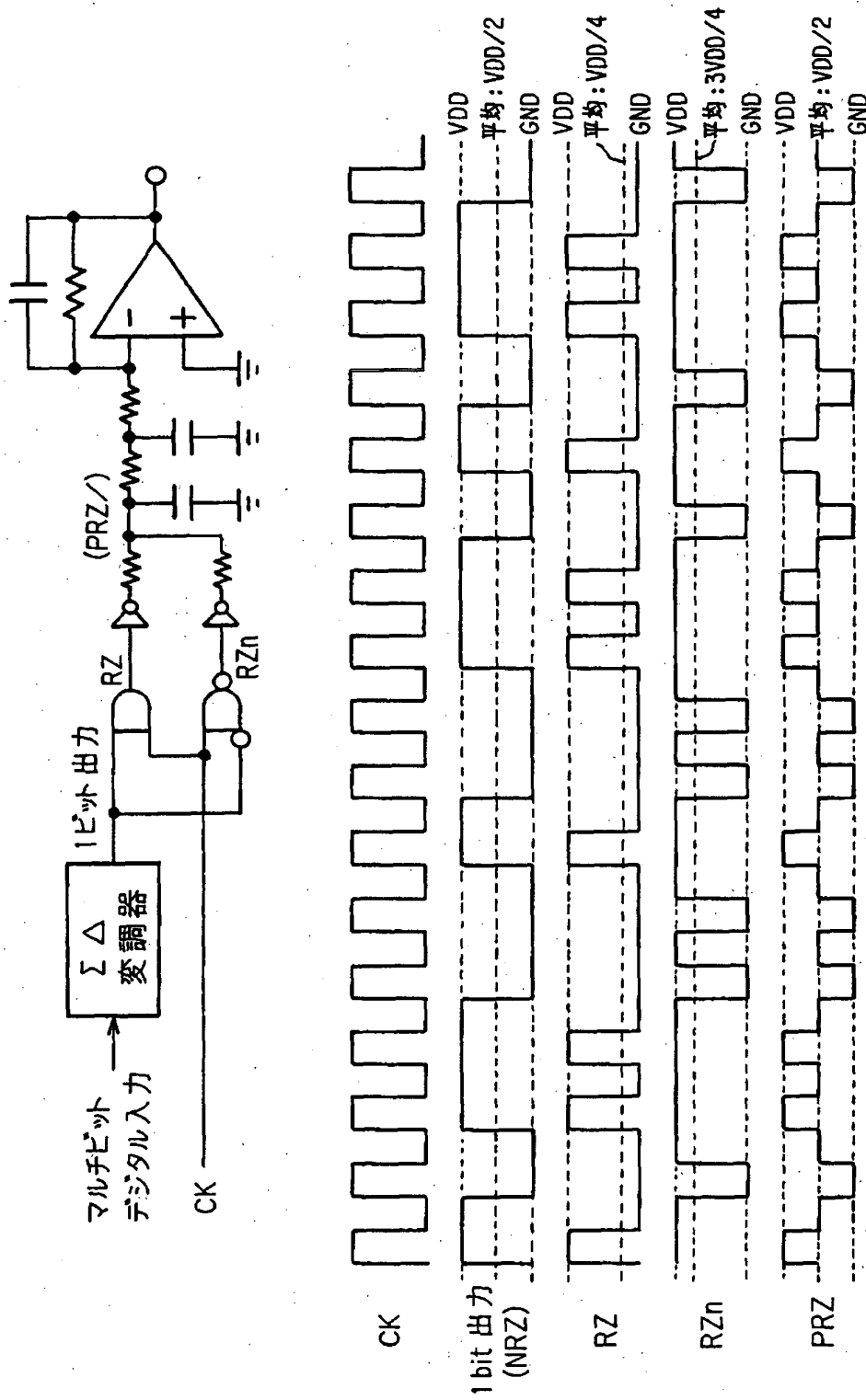
【図 1 8】

INPUT				SELECT LINE (H)	ATT
A	B	C	D		
0	0	0	0		15/15
1	0	0	0	S1	14/15
0	1	0	0	S2	13/15
1	1	0	0	S3	12/15
0	0	1	0	S4	11/15
1	0	1	0	S5	10/15
0	1	1	0	S6	9/15
1	1	1	0	S7	8/15
0	0	0	1	S8	7/15
1	0	0	1	S9	6/15
0	1	0	1	S10	5/15
1	1	0	1	S11	4/15
0	0	1	1	S12	3/15
1	0	1	1	S13	2/15
0	1	1	1	S14	1/15
1	1	1	1	S15	0/15

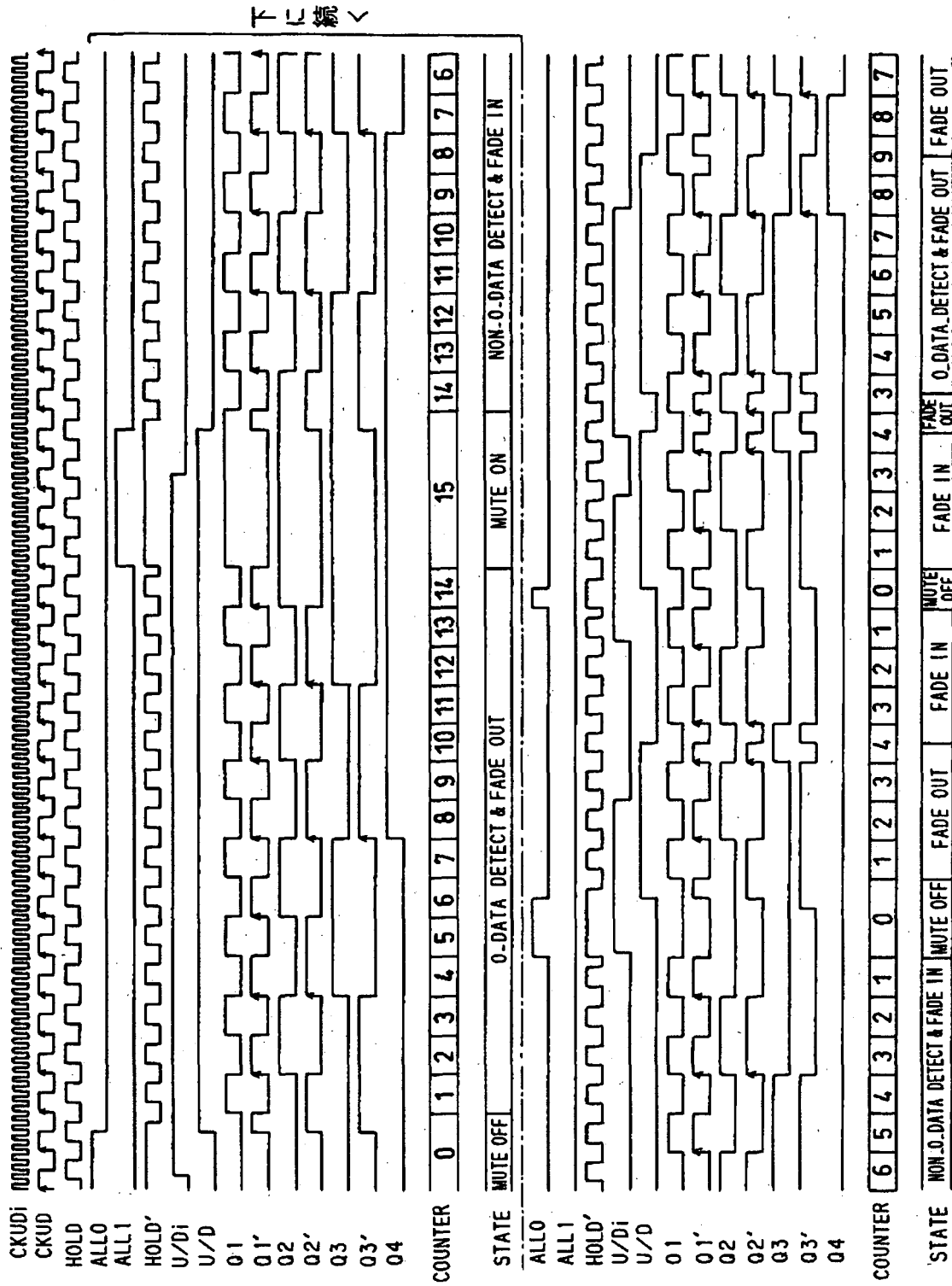
【図 19】



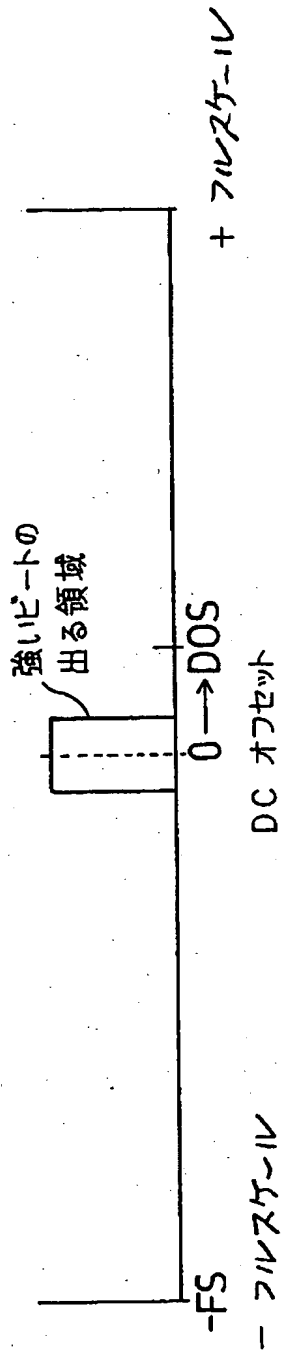
【図 20】



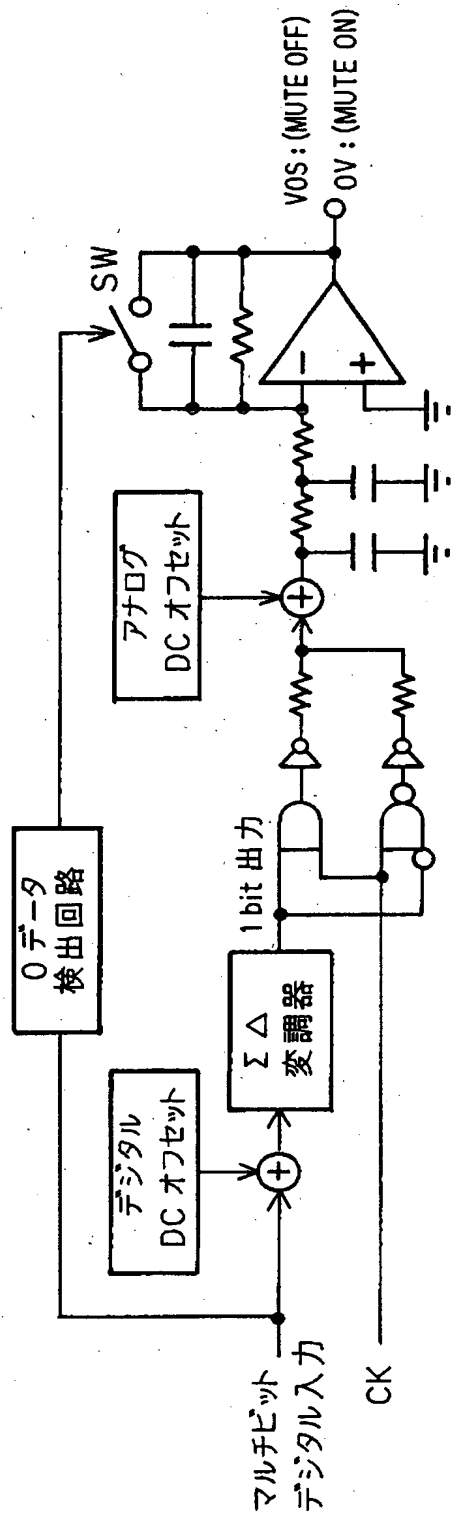
【図 21】



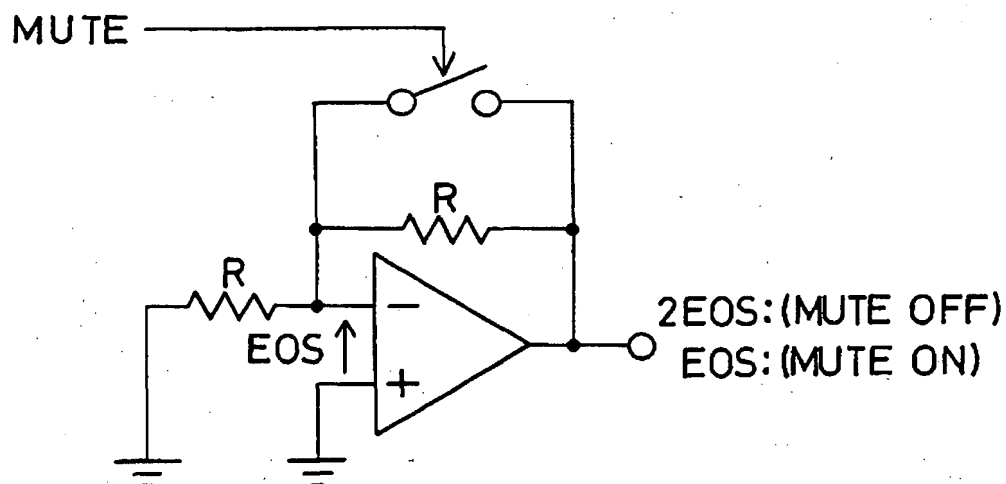
【図 22】



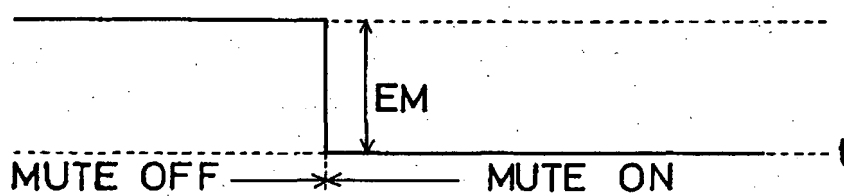
【图 2 3】



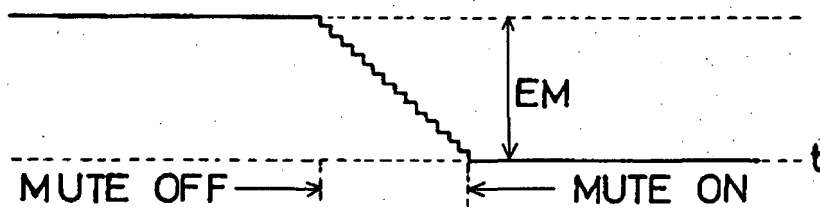
【図24】



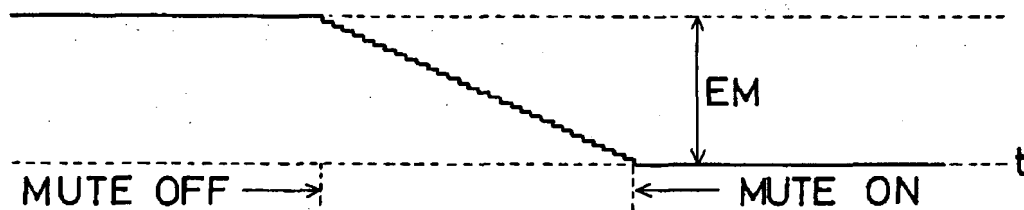
【図25】



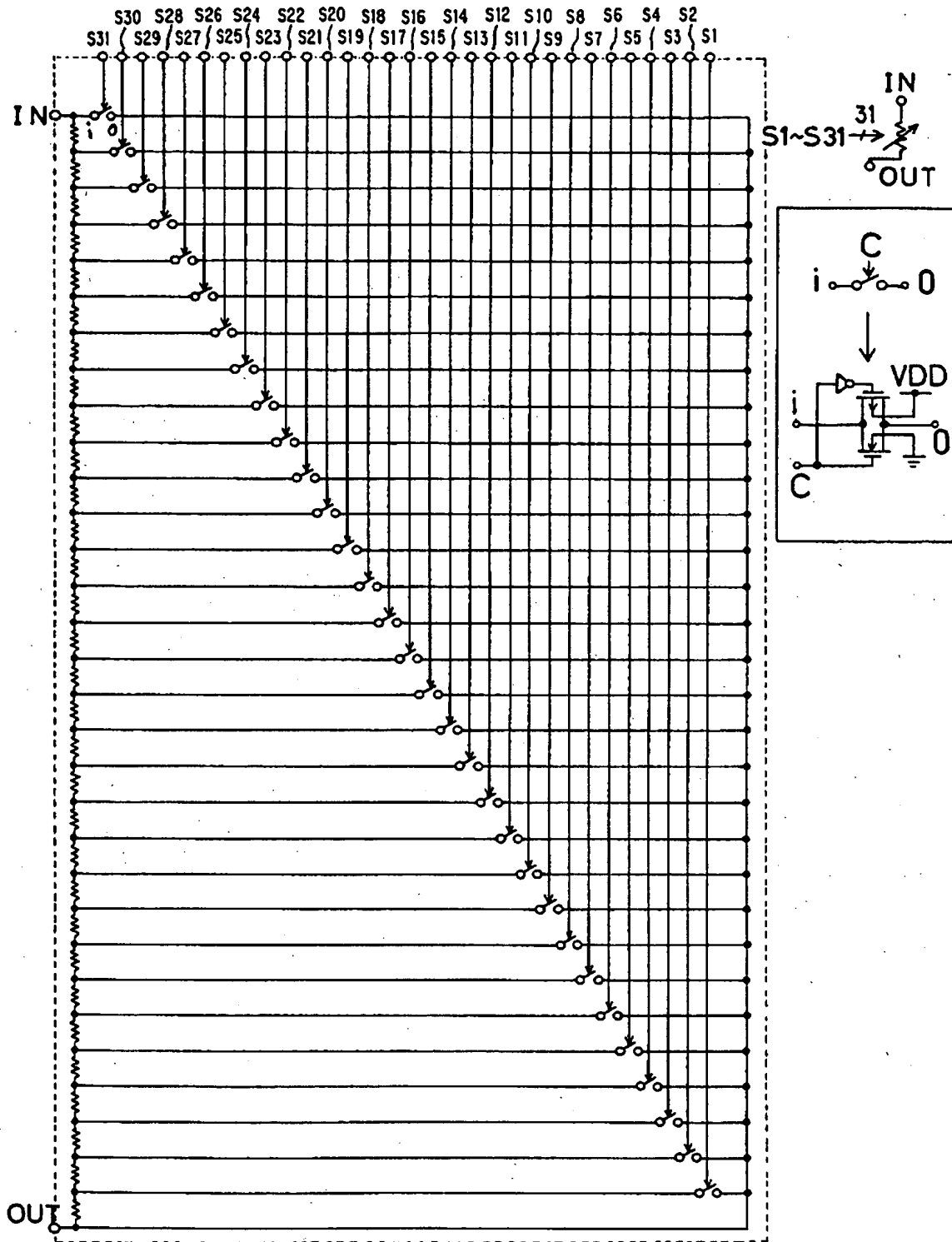
【図26】



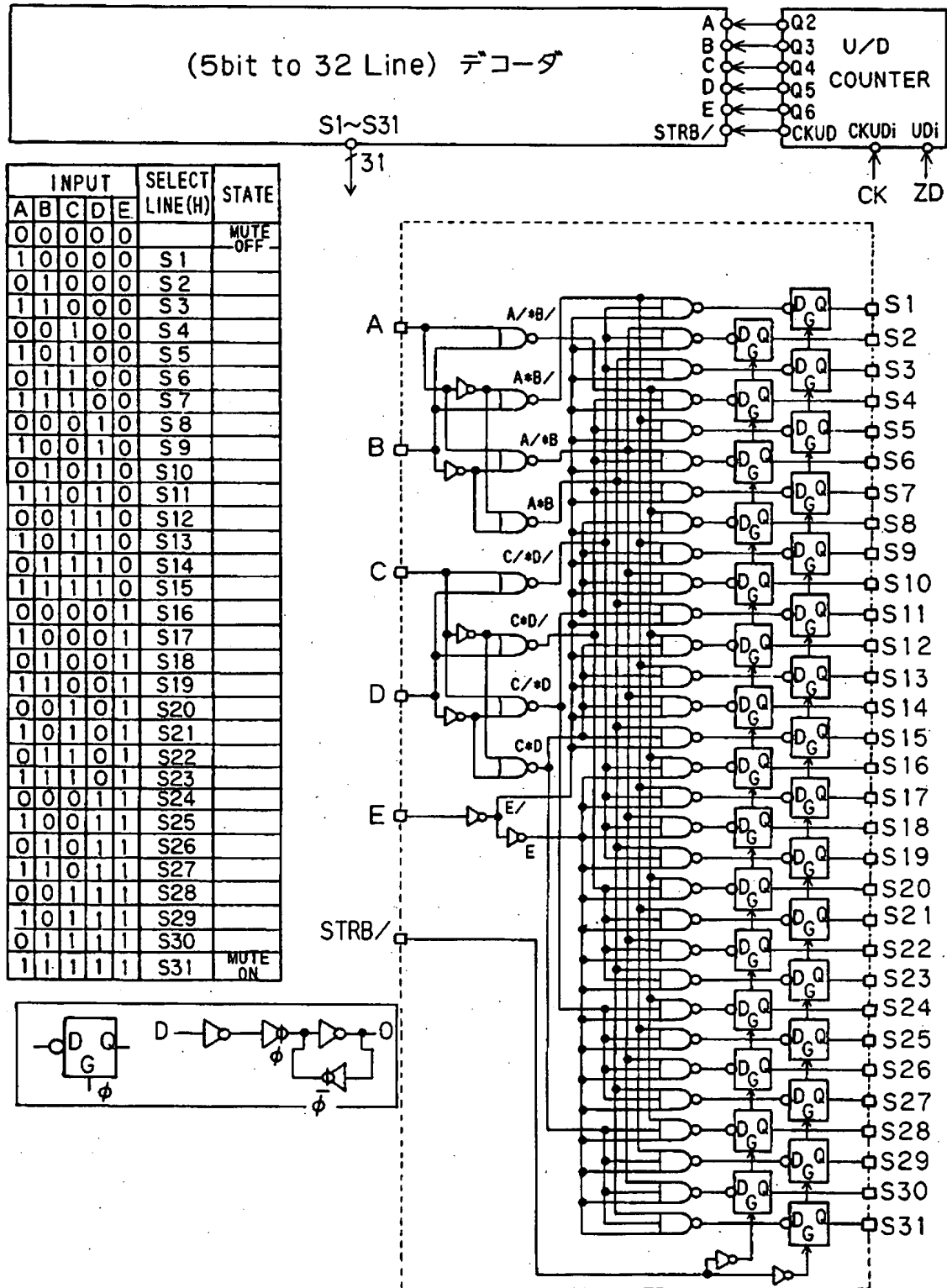
【図27】



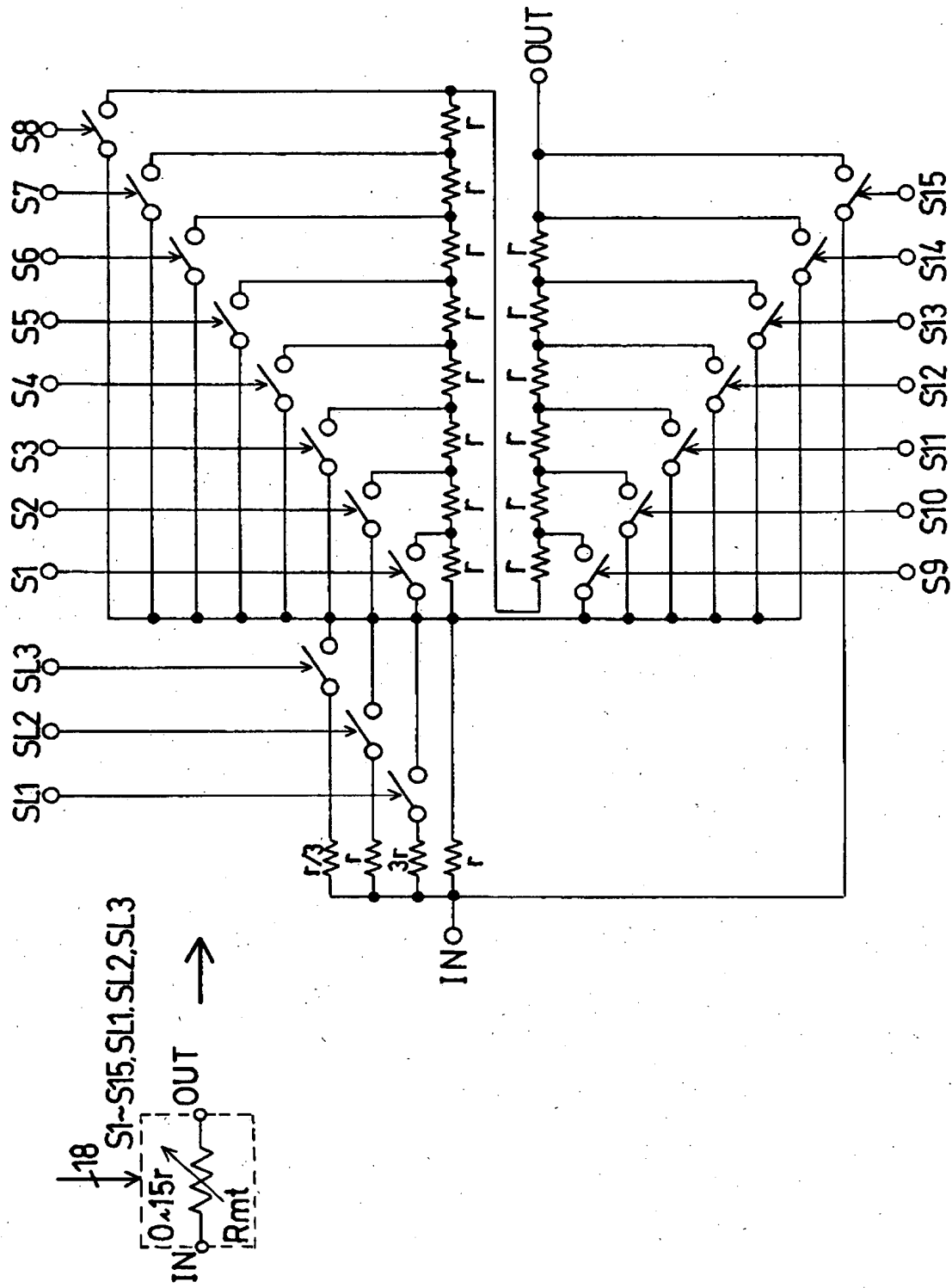
【図 28】



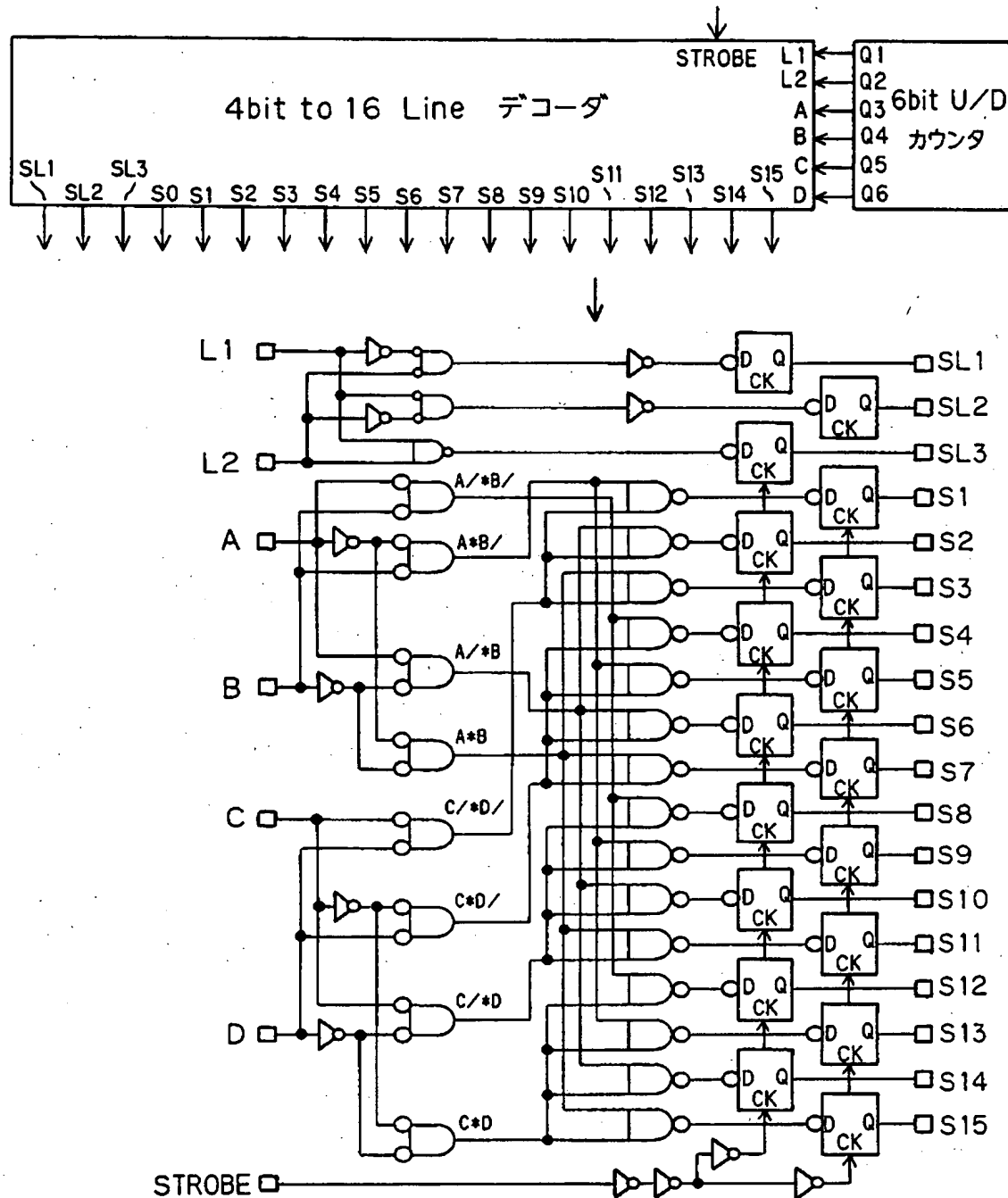
【図 29】



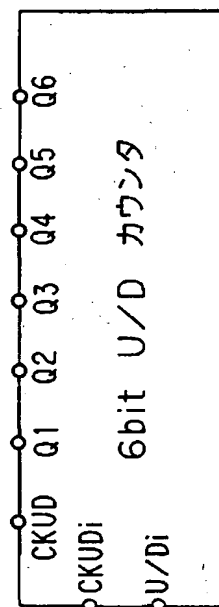
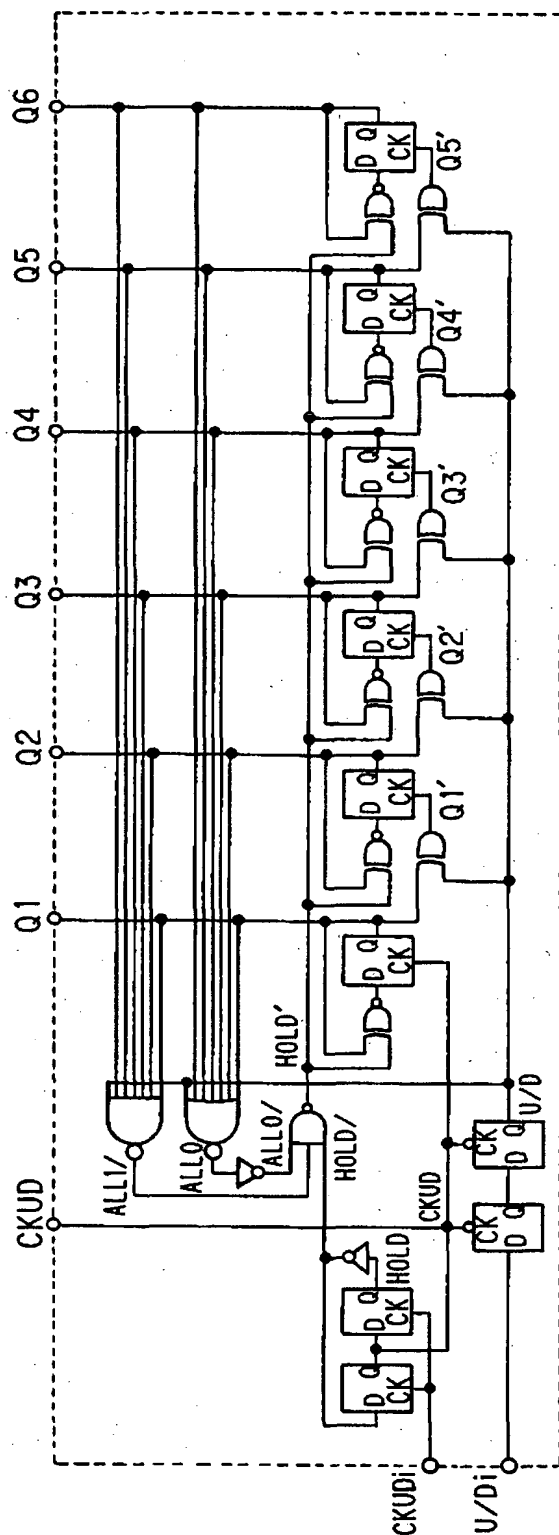
【図 30】



【図 31】



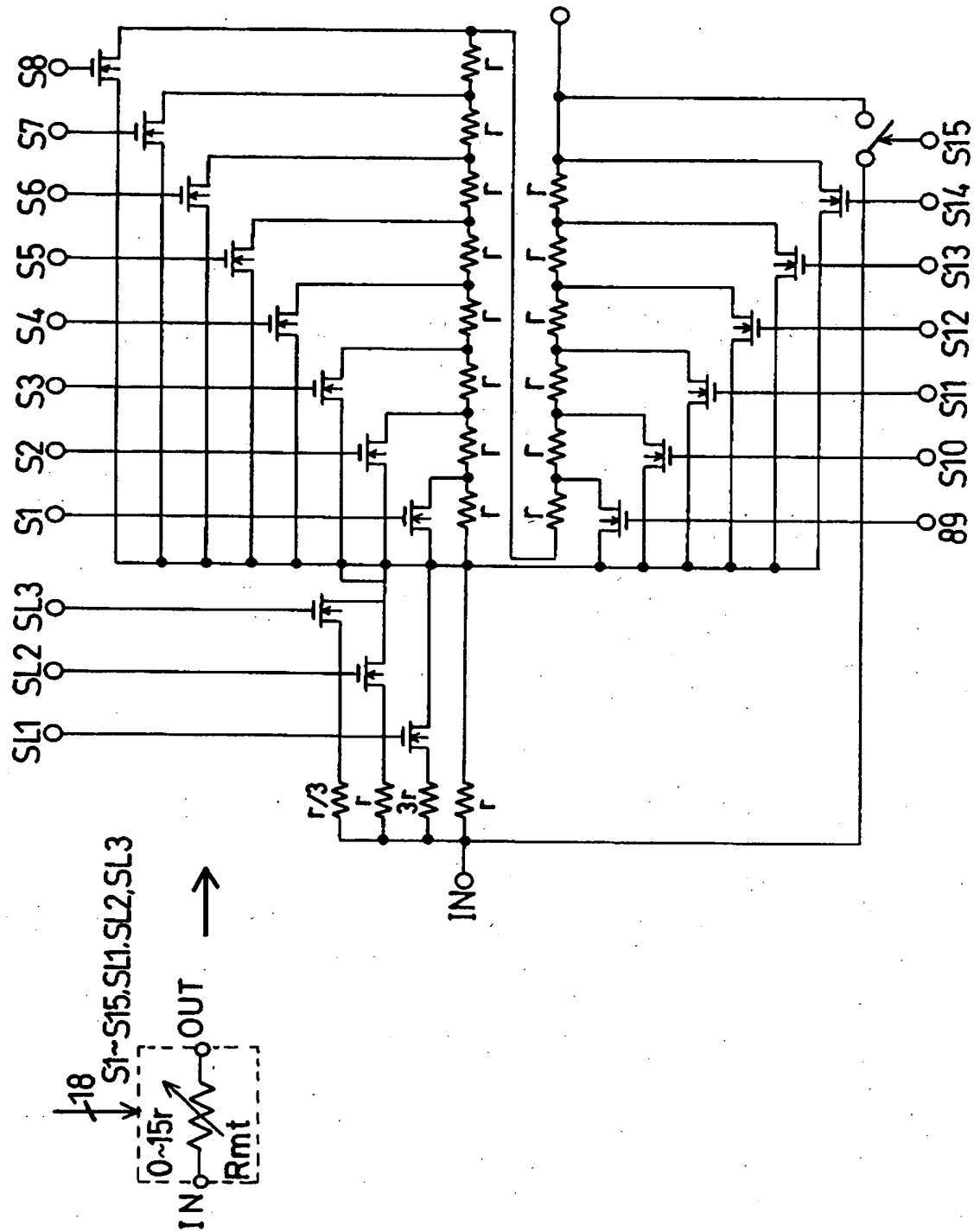
【図 3 2】



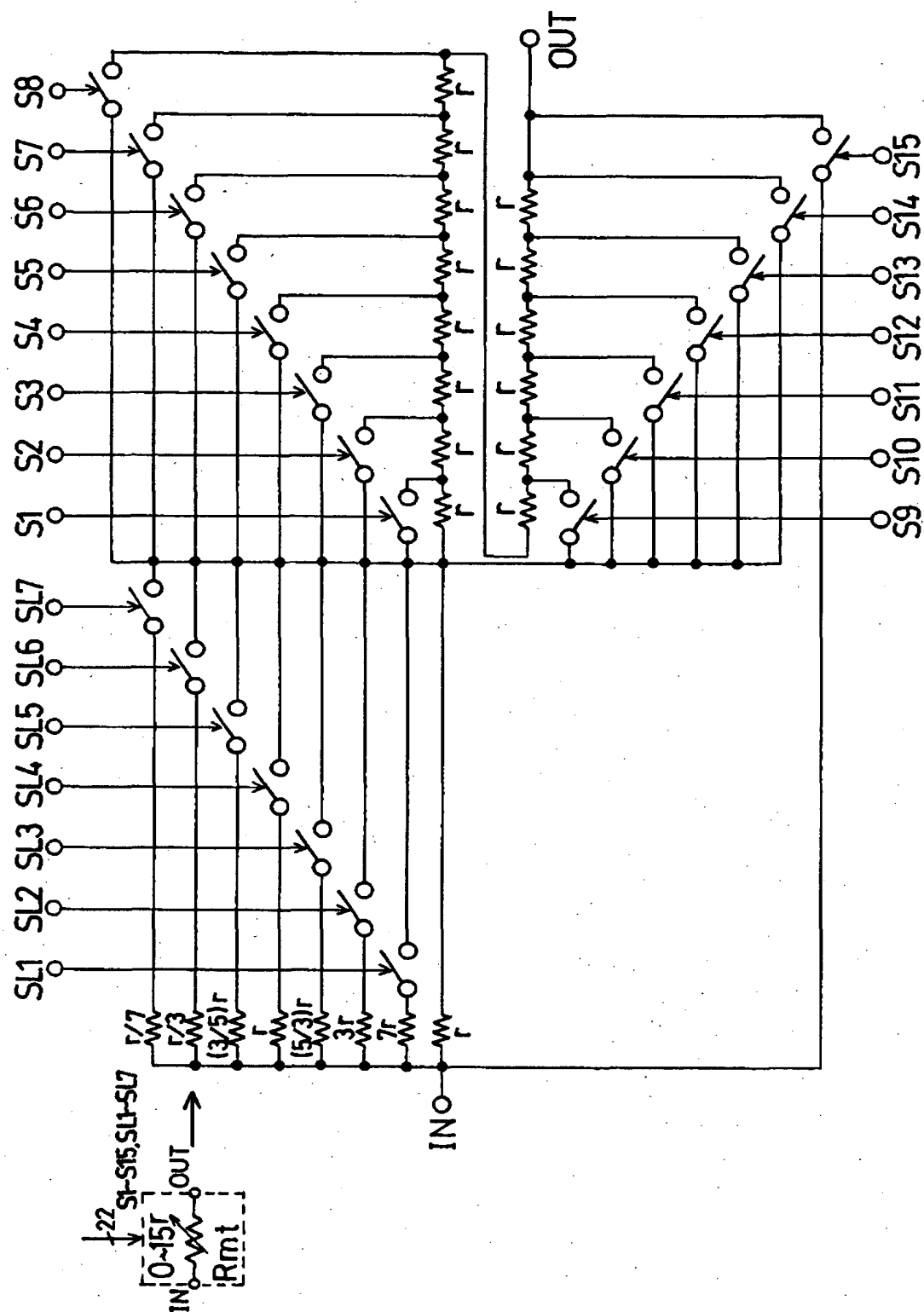
【図 33】

INPUT						SELECT LINE(H)	S L 1	S L 2	S L 3	ATT
L1	L2	A	B	C	D					
0	0	0	0	0	0	-	L	L	L	60/60
1	0	0	0	0	0		H	L	L	59/60
0	1	0	0	0	0		L	H	L	58/60
1	1	0	0	0	0		L	L	H	57/60
0	0	1	0	0	0	S1	L	L	L	56/60
1	0	1	0	0	0		H	L	L	55/60
0	1	1	0	0	0		L	H	L	54/60
1	1	1	0	0	0		L	L	H	53/60
0	0	0	1	0	0	S2	L	L	L	52/60
1	0	0	1	0	0		H	L	L	51/60
0	1	0	1	0	0		L	H	L	50/60
1	1	0	1	0	0		L	L	H	49/60
0	0	1	1	0	0	S3	L	L	L	48/60
1	0	1	1	0	0		H	L	L	47/60
0	1	1	1	0	0		L	H	L	46/60
1	1	1	1	0	0		L	L	H	45/60
0	0	0	0	1	0	S4	L	L	L	44/60
1	0	0	0	1	0		H	L	L	43/60
0	1	0	0	1	0		L	H	L	42/60
1	1	0	0	1	0		L	L	H	41/60
0	0	1	0	1	0	S5	L	L	L	40/60
1	0	1	0	1	0		H	L	L	39/60
0	1	1	0	1	0		L	H	L	38/60
1	1	1	0	1	0		L	L	H	37/60
0	0	0	1	1	0	S6	L	L	L	36/60
1	0	0	1	1	0		H	L	L	35/60
0	1	0	1	1	0		L	H	L	34/60
1	1	0	1	1	0		L	L	H	33/60
0	0	1	1	1	0	S7	L	L	L	32/60
1	0	1	1	1	0		H	L	L	31/60
0	1	1	1	1	0		L	H	L	30/60
1	1	1	1	1	0		L	L	H	29/60
0	0	0	0	0	1	S8	L	L	L	28/60
1	0	0	0	0	1		H	L	L	27/60
0	1	0	0	0	1		L	H	L	26/60
1	1	0	0	0	1		L	L	H	25/60
0	0	1	0	0	1	S9	L	L	L	24/60
1	0	1	0	0	1		H	L	L	23/60
0	1	1	0	0	1		L	H	L	22/60
1	1	1	0	0	1		L	L	H	21/60
0	0	0	1	0	1	S10	L	L	L	20/60
1	0	0	1	0	1		H	L	L	19/60
0	1	0	1	0	1		L	H	L	18/60
1	1	0	1	0	1		L	L	H	17/60
0	0	1	1	0	1	S11	L	L	L	16/60
1	0	1	1	0	1		H	L	L	15/60
0	1	1	1	0	1		L	L	H	14/60
1	1	1	1	0	1		L	L	H	13/60
0	0	0	0	1	1	S12	L	L	L	12/60
1	0	0	0	1	1		H	L	L	11/60
0	1	0	0	1	1		L	H	L	10/60
1	1	0	0	1	1		L	L	H	9/60
0	0	1	0	1	1	S13	L	L	L	8/60
1	0	1	0	1	1		H	L	L	7/60
0	1	1	0	1	1		L	H	L	6/60
1	1	1	0	1	1		L	L	H	5/60
0	0	0	1	1	1	S14	L	L	L	4/60
1	0	0	1	1	1		H	L	L	3/60
0	1	0	1	1	1		L	H	L	2/60
1	1	0	1	1	1		L	L	H	1/60
0	0	1	1	1	1	S15	L	L	L	0/60
1	0	1	1	1	1		H	L	L	
0	1	1	1	1	1		L	H	L	
1	1	1	1	1	1		L	L	H	

【図 34】



【図 35】



【書類名】 要約書

【要約】

【課題】 帰還抵抗をほんの少しだけ増加させるだけで、帰還抵抗のステップ数を増加させ、ミュート時のボス音を小さくすることが可能な段階的0データ検出ミュート回路を提供することを目的とする。

【解決手段】 抵抗 $0.47r$, $0.53r$, $r/7$, $4r/21$, $4r/15$, $2r/5$, $2r/3$ を配置し、制御信号 $SL1 \sim SL7$ により制御されるアナログスイッチを、帰還抵抗を段階的に小さくして、帰還抵抗のステップ数を余り多くせず、等価的にステップ数を増やす。これにより、 $r/8$ 単位で帰還抵抗が変化する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住 所 東京都港区芝浦一丁目1番1号

氏 名 株式会社東芝